

THÈSE

présentée

A LA FACULTÉ DES SCIENCES DE L'UNIVERSITÉ DE LYON

pour obtenir

le grade de DOCTEUR de 3^e CYCLE en PHYSIQUE NUCLÉAIRE

par

Louis FRÉCON

SUJET

ANALYSE D'UN « UNIADDITIONNEUR »
POUR ANALYSEURS MULTICANAUX RAPIDES.

Soutenue le 30 Juin 1964

devant la Commission d'Examen :

MM. R. BERNARD

Président

A. SARAZIN

R. ARNAL

}
Examineurs

THÈSE

présentée

A LA FACULTÉ DES SCIENCES DE L'UNIVERSITÉ DE LYON

pour obtenir

le grade de DOCTEUR de 3^e CYCLE en PHYSIQUE NUCLÉAIRE

par

Louis FRÉCON

SUJET

ANALYSE D'UN « UNIADDITIONNEUR »

POUR ANALYSEURS MULTICANAUX RAPIDES.

Soutenue le 30 Juin 1964

devant la Commission d'Examen :

MM. R. BERNARD

Président

A. SARAZIN

R. ARNAL

}

Examineurs



Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41554221_0032

Nous voulons remercier ici, tout d'abord, Monsieur le Professeur R. BERNARD, Directeur du Département de Physique de l'I.N.S.A. où nous avons fait ce travail, et qui a bien voulu présider le Jury.

Nous remercions également, Monsieur le Professeur A. SARAZIN Directeur de l'Institut de Physique Nucléaire de Lyon, qui a bien voulu participer à ce Jury.

Nous sommes heureux d'exprimer notre gratitude à Monsieur le Professeur R. ARNAL, qui a donné l'idée de ce travail et nous a constamment aidé par ses critiques et suggestions, et soutenu tout au long de la réalisation.

Enfin, nous tenons particulièrement à marquer ici l'expression de notre reconnaissance à l'égard de toute l'équipe du Laboratoire et notamment R. BORCHI et Y. MARTINEZ.

CHAPITRE I

ANALYSEURS MULTICANAUX

ROLE DE L'UNIADDITIONNEUR

Le travail présenté dans ce mémoire concerne la réalisation d'un compteur de type spécial, élément arithmétique d'un analyseur multicanaux.

On sait que ces appareils ont été conçus au départ pour la physique nucléaire : ils permettent de déterminer la distribution des amplitudes d'impulsions électriques fournies par les détecteurs de particules.

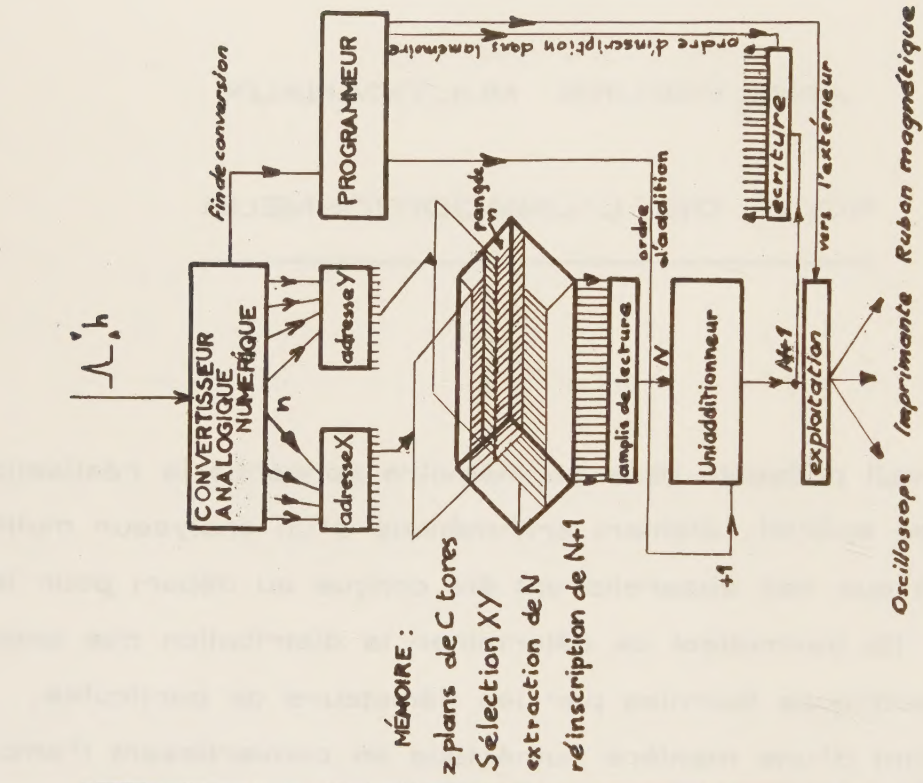
Ils le font d'une manière numérique en convertissant l'amplitude des impulsions en un nombre, et en comptant combien de fois ce nombre s'est présenté ; ceci en transformant de N en $N + 1$ le contenu primitif du canal dont le nombre élaboré par conversion était l'adresse.

Nous devons assurer cette transformation, et nous allons voir que cette tâche est différente suivant que l'on travaille ou non avec une mémoire associée.

Deux possibilités s'offrent à nous : le comptage direct et le comptage différé. (Figure 1)

1 - Le comptage direct

Le système est simple dans son principe. L'analyseur comporte C canaux, donc C compteurs capables de contenir chacun le nombre N_0 , valeur maximum de N fixée. Lorsque l'impulsion de hauteur h a été transformée



Comptage direct

Comptage différé Chapitre 1-fig1

en un nombre n , celui-ci est l'adresse du n -ième compteur : ce compteur reçoit une impulsion et passe de l'état N à l'état $N + 1$. Si a^1 est la base de la numération dans laquelle N est compté, on voit qu'il faut $Z = \log_a (N_0 + 1)$ circuits élémentaires par compteur et $Cz = C \log_a (N_0 + 1)$ circuits élémentaires en tout. Mais la qualité de ces éléments peut décroître quand leur "poids" croît.

2 - Le comptage différé

Ce système comporte essentiellement une mémoire de C mots, chacun pouvant atteindre, traduit en valeur numérique, N_0 ; il faut donc $C \log_a (N_0 + 1)$ éléments de mémoire. D'autre part, on dispose d'un système que nous appellerons uniadditionneur. Lorsque la classe n est sollicitée par une attaque XY (figure 2) le mot n , soit N , est extrait de la mémoire et inscrit dans l'uniadditionneur. Si la lecture du canal n n'a pas été destructive, le mot n de la mémoire est remis à zéro. Le programmeur qui a provoqué ce transfert envoie à l'uniadditionneur l'ordre d'ajouter 1 à son contenu. Au bout d'un certain temps, l'uniadditionneur contient $N + 1$, tous reports faits. Un dernier ordre du programmeur provoque l'inscription de $N + 1$ dans la mémoire en tant que nouveau mot " n ". Ainsi le comptage a été assuré. L'uniadditionneur est un circuit légèrement plus complexe qu'un compteur ; mais il comporte aussi essentiellement $Z = \log_a (N_0 + 1)$ éléments, qui doivent être identiques. De plus, C n'est pas un nombre premier. Dans le cas d'une mémoire à tores, le plus fréquent, si l'on a $C = xy$ il faut $\log_a (N_0 + 1)$ plans de xy tores : soit xyz tores.

L'écriture de $N + 1$ exige $x + y$ dispositifs de sélections (pour atteindre tout n) et Z dispositifs d'inhibition (pour ne pas inscrire un mot composé uniquement de 1).

Et pour la lecture de la mémoire, il faut Z amplificateurs de lecture.

Le temps de résolution de l'appareil est largement augmenté.

3 - Comparaison des deux systèmes

Le premier est évidemment le plus rapide car il ne comporte, de notre point de vue qu'une phase : celle du comptage. Il faut C_z éléments compteurs.

Le second est le plus lent puisqu'il faut un programme comprenant une phase de comptage. On supposera ce programme unique et câblé. La succession des ordres sera alors :

- a) Lire un canal de mémoire et l'inscrire dans l'uniadditionneur et remettre à zéro ce dernier dispositif.
- b) Ajouter 1
- c) Ecrire dans la mémoire le contenu de l'uniadditionneur et remettre à zéro ce dernier dispositif.

Associé à un convertisseur analogique numérique travaillant en 500 ns, l'ensemble mémoire uniadditionneur doit travailler en 500 ns. Ainsi, un registre servant de mémoire tampon pour le numéro du canal entre le convertisseur et le reste du dispositif, on peut traiter un canal pendant que le numéro correspondant à l'impulsion suivante s'élabore.

On compte qu'il faut 350 ns pour le cycle lecture écriture de la mémoire ; reste 150 ns pour l'opération arithmétique.

Il faut Z éléments compteurs, $C_z = xyz$ éléments de mémoire $x + y$ dispositifs de sélection d'éléments, Z dispositifs d'inhibition et Z amplificateurs de lecture.

Ce système aurait tout contre lui si, actuellement, un élément de mémoire ne revenait pas bien moins cher qu'un élément compteur. Au point de vue économique on a intérêt à prendre :

1) C carré parfait (alors $x + y$ peut être minimum à xy constant) et, mieux encore, puissance paire de 2 : x et y peuvent être représentés par des jeux de bistables utilisés au maximum de leur contenance numérique.

2) Z et donc $(1 + N_0) = a^Z$ grand

De cette façon, le prix des éléments accessoires de nombre respectif $x + y + z$ et Z devient d'autant plus négligeable que C est grand.

Si un analyseur peut enregistrer No coups dans chacun de ces C canaux, son prix optimal est proportionnel à :

$$P = 2 m \sqrt{C} + (q + Cp) \log_a (No + 1) + r$$

où m représente le point d'un circuit de sélection

q représente le point d'un circuit d'inhibition et d'un circuit de lecture

p représente le point d'un élément de mémoire

r représente le point du programmeur

L'investissement nécessaire pour l'enregistrement d'une impulsion

$$\pi = \frac{P}{No C} = \frac{2 m}{No \sqrt{C}} + q \frac{\log_a No}{No C} + p \frac{\log_a No}{No} + \frac{r}{No C} \quad \text{devient vite}$$

négligeable pour les fortes capacités numériques, mais l'on voit aussi qu'il est plus avantageux financièrement d'augmenter la capacité totale par l'augmentation de la capacité d'un canal que par celle de l'augmentation du nombre de canaux, ce qui, du point de vue du statisticien, n'est pas intéressant, un nombre minimum de classes devant être assuré. Ceci est surtout nécessaire si le rapport entre valeurs minimum et maximum d'entrée convertible est grand.

4 - Compteurs, uniadditionneur, additionneur

Les uniadditionneurs sont des ensembles dérivés des compteurs, un peu plus complexes. Leur fonctionnement est séquentiel. Mais, en dehors des questions de réalisation finale, bon nombre de leurs propriétés peuvent être discutées comme s'il s'agissait de compteurs simples. C'est pourquoi nous traiterons d'abord de quelques problèmes généraux du comptage qui justifient les options faites pour l'uniadditionneur. Le compteur de base, en plus, est au cours de chaque séquence rempli (inscription du nombre de la mémoire dans l'uniadditionneur) fonctionne en compteur, puis est lu (inscrip-

tion du contenu de l'uniadditionneur dans la mémoire) et remis à zéro pour constituer un uniadditionneur. Celui-ci est donc intermédiaire entre le compteur qui ajoute 1 à ce qu'il contient depuis l'ordre d'addition précédent, et l'additionneur qui fait la somme de deux nombres quelconques.

5 - Analyseurs multicanaux et ordinateurs

La question a été posée des avantages relatifs d'un analyseur et d'un ordinateur programmé en analyseur. On reconnaît en général la rapidité de l'analyseur dont le programme spécifique est câblé ; tandis que l'ordinateur, plus lent (programme enregistré) permet le traitement ultérieur de l'information emmagasinée dans la même unité (1). Le chapitre 9 laisse cependant entrevoir quelques possibilités d'extension d'un montage du type analyseur, à condition de prévoir que son programme général câblé puisse être adapté en programmes particuliers de divers types suivant des options faites par l'expérimentateur.

CHAPITRE II

COMPTEURS BINAIRES ET MONTAGES DERIVES

Nous n'utiliserons pas la représentation binaire pure pour notre problème car il est difficile d'exploiter commodément les résultats sans une transcription qui est extrêmement lourde.

Si nous discutons en détail diverses solutions possibles dans cette codification, c'est qu'il y a des problèmes communs en binaire et en décimal et qu'il est plus commode de les discuter en binaire. On exploitera par la suite les résultats acquis dans ce chapitre.

Les compteurs binaires et uniadditionneurs dérivés ne connaissent évidemment comme signaux logiques que 0 et 1 mais exploitent à fond les possibilités de l'arithmétique binaire.

Il peut exister trois systèmes de comptage binaire ; le comptage série, le comptage parallèle, le comptage hybride.

Dans les évaluations (figure 1) du chapitre précédent on doit faire $a = 2$

1 - Méthode série

Par opposition à la méthode parallèle plus rapide, nous rappelons brièvement la méthode série. (figure 1- ch.2)

Le comptage est obtenu ainsi : des bistables sont montés en cascade de telle façon que chaque bistable change d'état quand le précédent voit son contenu passer de 1 à 0. Donc un bistable commence sa phase de basculement quand le précédent est en train de basculer. Si les éléments bistables

utilisés sont, par exemple, des circuits à transistors attaqués par les bases, il y a un retard sensible d'une bascule à l'autre.

On voit que si le convertisseur est capable de fournir une impulsion toutes les 12 ns par exemple, il suffit que le premier bistable fonctionne jusqu'à 85 MHz, le second jusqu'à 425 MHz et l'on peut ainsi dégrader par paliers la qualité des constituants utilisés lorsqu'on se rapproche des bistables de poids le plus élevé ; le quatorzième bistable ne basculera que toutes les $1024 \times 96 \text{ ns} \neq 100 \text{ } \mu\text{s}$, ce qui correspond à une fréquence acoustique.

Dans ces conditions, le dernier bistable bascule au bout d'un temps $t = \sum t_i$ où t_i est le retard apporté par la i ème bascule. On voit que si l'on dégrade la qualité des composants vers les poids élevés, t_i va augmenter avec i ; cela peut être de peu d'importance pour un compteur.

Mais dans un uniadditionneur, on attend que l'opération arithmétique soit complètement terminée, dans le cas le plus défavorable, pour passer à sa lecture.

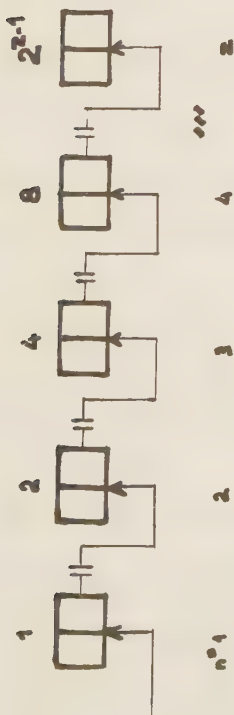
Il est donc nécessaire de minimiser $t = \sum t_i$; la solution la plus simple est de prendre des composants de qualité constante, alors $t = t_1 \log_2 (N_0 + 1)$

2 - Méthode parallèle (figure 2)

L'ordre d'addition, dans cette disposition arrive simultanément face à chaque bascule : une porte laisse passer l'impulsion si la bascule doit effectivement basculer (2). Ainsi doit on prévoir une porte par bascule, laquelle sera ouverte ou fermée suivant l'indication de la table d'addition. Les contenus successifs des bascules forment la suite des nombres binaires. Si l'on convient de dessiner à gauche les bascules de poids les plus faibles, on peut dire que :

Une bascule devra basculer chaque fois que l'ordre d'addition se présentant, les bascules situées à gauche (tous les poids inférieurs) ont un contenu égal à 1.

Autrement dit, si, $C_1, C_2, C_4, C_8, C_{16}, C_{Z-1}$ sont les ordres de bascule-



base n°1



base n°2



base n°3



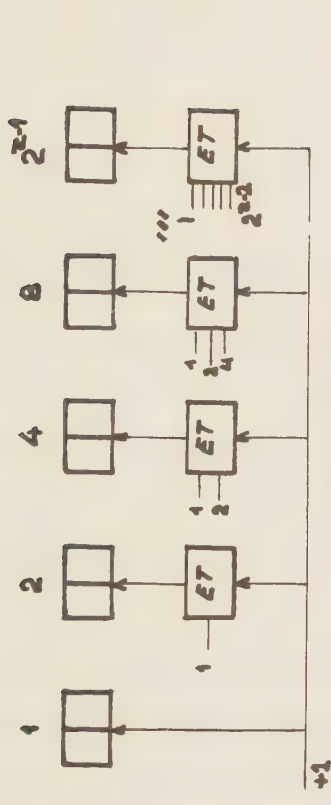
base n°4



t →

Chapitre 2 Fig. 1:
Comptage série

accumulation des
retards, de bascule
en bascule



Chapitre 2 Fig. 2
Comptage parallèle (produits logiques
directs)

poids:	1	2	4	8
contenus:	0	0	0	0
valeur:	0	0	0	0
	1	0	0	0
	2	0	0	0
	3	0	0	0
	4	0	0	0
	5	0	0	0
	6	0	0	0
	7	0	0	0
	8	0	0	0
	9	0	0	0
	10	0	0	0
	11	0	0	0
	12	0	0	0
	13	0	0	0
	14	0	0	0
	15	0	0	0

2: Chacun des états
à l'origine d'une
flèche doit permettre
le passage d'une
impulsion dans le
ET de cette bascule
pour provoquer le
changement d'état
souligné.

ment respectifs des bascules de poids 1, 2, 4 etc... et si on convient de poser

$$\begin{array}{ll}
 1 = 1 & \text{si le contenu des bascules de poids } 1, 2, 4, 8, 16 \\
 2 = 1 & \text{est égal à 1 respectivement et } \overline{1} = 1 \\
 4 = 1 & \overline{2} = 1 \\
 8 = 1 & \overline{4} = 1 \\
 16 = 1 & \overline{8} = 1
 \end{array}$$

dans le cas contraire, alors, a étant l'ordre d'ajouter 1

$$C_1 = a \quad C_2 = a.1 \quad C_4 = a.1.2 \quad C_8 = a.1.2.4$$

$$C_{16} = a.1.2.4.8 \quad C_{2^{Z-1}} = a.1.2.4.8 \dots 2^{Z-2}$$

où le signe . est le symbole de l'opération "ET" au sens de l'algèbre de Boole (3).

Pour un tel système, on peut lire le résultat de l'opération au bout d'un temps t après l'inscription du nombre N à augmenter d'une unité. Si on appelle t_m le temps nécessaire à mettre les portes en état de compter de l'inscription terminée ; t_p le temps de passage ou temps de retard qu'une porte ET applique à un signal logique $a = (+1 \text{ arithmétique})$ transmis ; t_1 le temps de basculement de l'une quelconque des bascules supposées identiques, alors $t = t_m + t_p + t_1$, fixe quel que soit le nombre de bascules. On conçoit l'avantage d'une telle disposition pour un uniadditionneur, dès que N_0 est suffisamment grand pour que $t_1 \log_2 N_0 > t_m + t_p + t_1$. On obtiendrait ainsi les dispositifs les plus rapides de ce genre qui puissent être.

Cependant on remarquera que la bascule 1 commande $C_2, C_4, C_8, C_{16} \dots C_{2^{Z-1}}$.

Donc, si N_0 est la contenance maximum, il y a Z bascules avec $Z = \log_2 (N_0 + 1)$ et $Z - 1$ bascules ont leur porte commandée par la bascule de poids 1 ; $Z - 2$ bascules dépendant de la bascule de poids 2 ; $Z - 3$ de la bascule de poids 4 ; $Z - 4$ de la bascule de poids 8 ; $Z - i - 1$ de la bascule de poids 2^i ; $Z - (Z - 1) - 1 = 0$ de la bascule de poids 2^{Z-1} der-

nière bascule.

Ainsi les portes ET exigent $Z = 1 + Z = 2 + Z = 3 + \dots + 1$ éléments pour satisfaire aux conditions logiques écrites ; soit : $\frac{Z(Z-1)}{2}$ éléments $\neq \frac{Z^2}{2}$

2-1 - Introduction d'amplificateurs

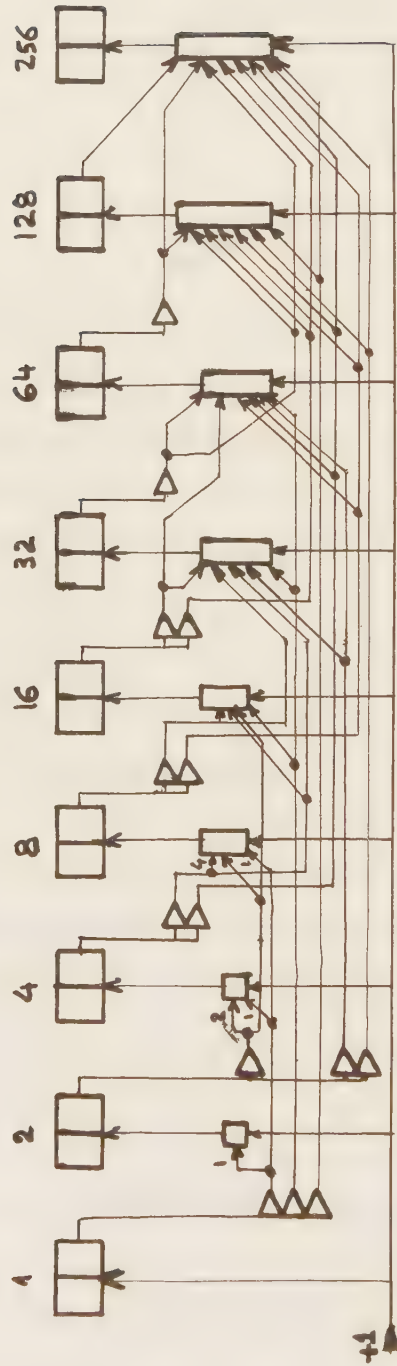
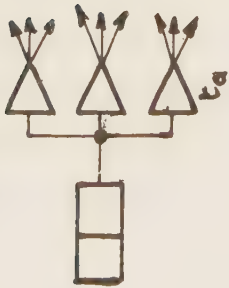
Souvent la bascule de poids 1 ne saurait alimenter $E = 1$ portes. Dans ce cas, on pourrait prévoir de faire alimenter par cette bascule (et éventuellement d'autres bascules de poids les plus bas) un nombre suffisant d'amplificateurs de puissance (par exemple des transistors montés en collecteur commun). Deux dispositions sont possibles alors. La première configuration a l'avantage de la rapidité car elle n'accroît le temps de mise en état des portes t_m que d'un temps de retard t_a , assez faible d'ailleurs s'il s'agit d'étages collecteur commun en régime linéaire. Si chaque amplificateur alimente p portes, il faut $\frac{Z^2 - Z}{2p}$ amplificateurs (figure 3a)

La seconde configuration, où le premier amplificateur alimente P portes et le second amplificateur (et ainsi de suite) augmente le temps t_m d'autant de temps de retard t_a qu'il y a d'amplificateurs en cascade, ce qui peut être important. Il faut, pour cette configuration plus lente, environ autant d'amplificateurs que pour la première.

2 - 2 - Elaboration de produits logiques partiels

Cependant, il n'est pas non plus admissible que la dernière porte ET soit attaquée par $Z = 1$ informations différentes ainsi qu'il est indiqué dans le schéma théorique. En sacrifiant encore un peu sur les temps de retard, la seconde disposition des amplificateurs permet la simplification des portes d'attaque des bascules. En effet, si l'on insère une porte entre l'amplificateur A_i et l'amplificateur A_{i+1} , A_i délivre un produit logique intermédiaire de plus en plus complexe lorsqu'on se déplace vers la droite. La

Amplificateurs de puissance
disposés suivant
la première configuration
(retard : t_a)



Chapitre 2 fig. 3a

Comptage parallèle
produits logiques directs

bistable attaqué en diviseur

amplificateur

porte ET

cas d'une contenance de 511 coups, un amplificateur pour 3 portes:
9 bistables, 8 portes (dont une à 8 entrées), 14 amplificateurs

première configuration, même en utilisant des produits logiques élaborés ne permet pas une aussi grande simplification. (figure 3b)

2 - 3 - Subdivision en module

Une critique peut être faite à l'ensemble de ces systèmes de comptage parallèle. Il est impossible de subdiviser le compteur (ou l'additionneur dérivé) en un certain nombre de modules identiques les uns aux autres. Si l'ensemble doit pouvoir compter jusqu'à 1 000 000 environ, il faut 20 bascules ; leur logique doit être, surtout dans la première configuration, conçue dans son ensemble, d'un seul tenant. Ces montages n'admettent pas de subdivision. Il n'est donc pas possible d'utiliser la technique des circuits imprimés puisqu'un bloc de 20 bascules ne peut être décomposé en modules identiques.

On voit cependant, en considérant la seconde configuration (avec produits intermédiaires) que cette solution permet presque la subdivision en modules identiques. En effet, l'ensemble des bascules de poids 2 et 4 et de leurs portes, de la porte ET qui élabore le produit 1.2.4. et de l'amplificateur, est identique en tant que circuit à l'ensemble des bascules 8 et 16, de leurs portes et de l'amplificateur associé.

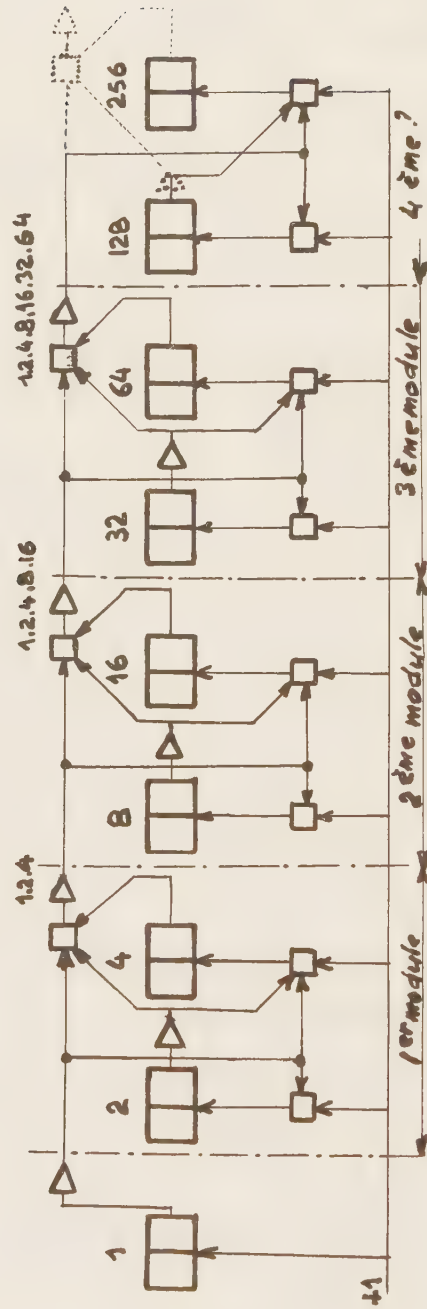
De même pour le groupe 32-64. Le groupe final pourrait être identique et seule pose un problème la bascule de poids 1. Ceci est éliminé dans ce que nous appellerons le comptage série parallèle ou hybride.

3 - Méthode hybride (figure 4)

Assez proche du dernier montage décrit ci-dessus, elle repose en fait sur le système suivant :

le système numérique employé est le système octal ou sexadécimal, de façon plus générale un système à base 2^n . Une carte est assignée à chacun des chiffres octal ou sexadécimal ; on le décrit à l'aide de 3, 4 ou n bascules.

Amplificateurs de puissance
suivant la seconde
configuration
(retard: At_0)



Chapitre 2 fig 3b

Comptage parallèle

avec produits logiques partiels

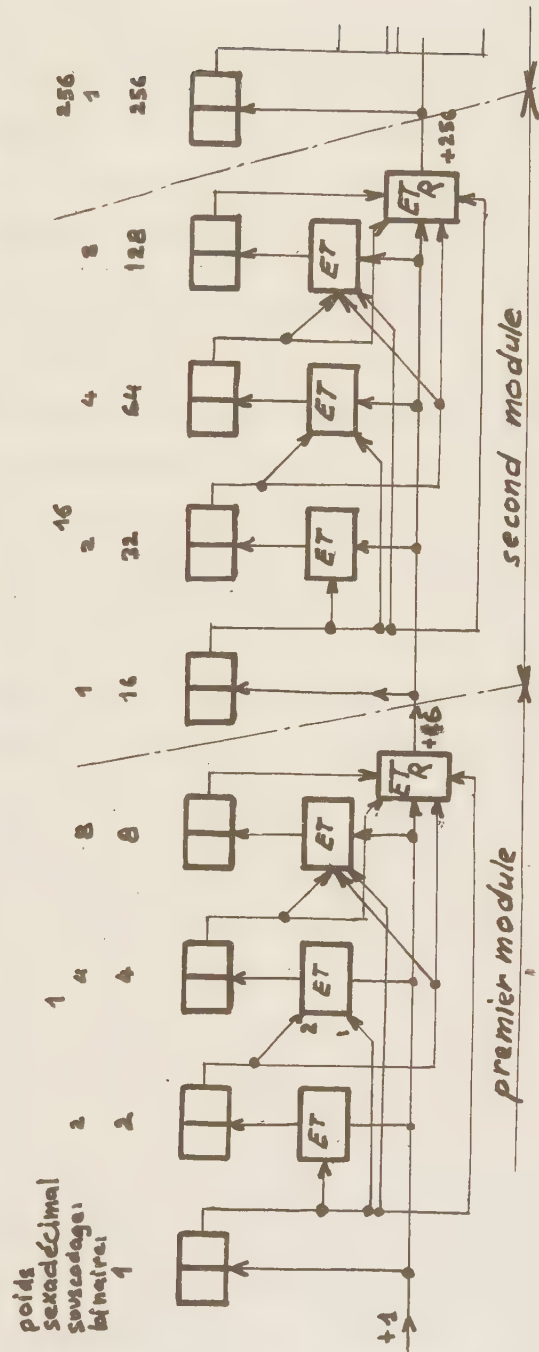
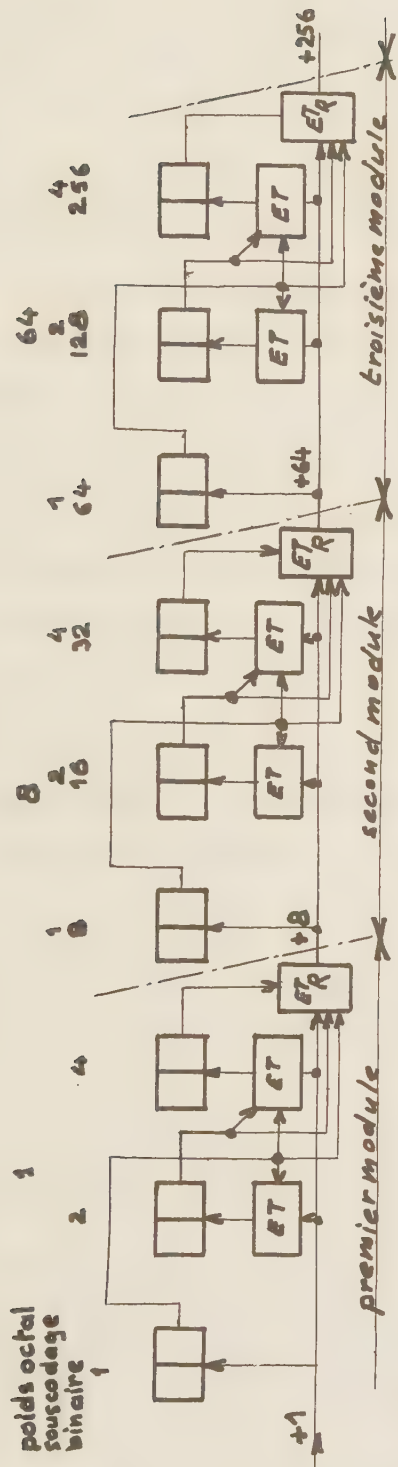
Contenance: 511 coups

9 bistables, 11 portes (3 entrées maximum), 7 amplificateurs

Mêmes conventions que pour la figure 3a.

Mise en état des portes retardé de At_0
apparition de modules

avec $A=4$



Chapitre 2 fig 4
Méthode hybride - Elaboration de la retenue par une porte ET_R

Le comptage se fait de la façon suivante :

L'ordre + 1 attaque en parallèle le premier chiffre (octal ou sexadécimal) si par suite de l'addition ce premier chiffre repasse à zéro, une retenue est émise en direction de la carte de poids 8 (resp. 16) : c'est l'ordre + 8 (resp + 16) qui attaque le second chiffre en parallèle ; s'il y a retenue une ordre + 64 (resp + 256) est émise en direction de la troisième carte, etc. Cette retenue peut provenir du basculement de la bascule de poids le plus élevé, ou être élaborée par une porte : étudions ce dernier cas.

Toutes ces cartes sont fonctionnellement identiques ; le comptage est parallèle à l'intérieur d'un chiffre octal (3 positions binaires) ou sexadécimal (4 positions binaires) et série d'un chiffre octal (resp. sexadécimal) à l'autre. La figure ci-contre indique la disposition de tels circuits dans le cas des ces deux systèmes. On remarquera que le bloc de comptage d'un chiffre constitue un motif dont on fait l'itération jusqu'à décrire No. Ce système est entièrement compatible avec une organisation en cartes (circuits imprimés) élémentaires. Identiques, elles sont interchangeables ce qui simplifie aussi bien la conception du circuit de base que le dépannage. En effet, leur poids octal (resp. sexadécimal) ne dépend que de leur position.

Le module correspondant au système octal est simple. Si l'on prenait la base 4 il serait encore plus simple. Cependant, le temps nécessaire à l'addition est ici :

$$t = t_m + t_p + t_1 \quad \text{avec} \quad t_m = t_{m1} + t_{m2} \quad \log_8 (No+1) = t_{m1} + \frac{t_{m2}}{3} \log_2 (1 + No)$$

où t_{m2} rend compte du transit de l'impulsion à travers une porte ET liant un module au suivant. On voit tout l'intérêt à prendre t_{m2} faible, c'est à dire à faire les portes ET_R qui sont en série d'un module à l'autre plus rapides que les autres quand No est grand.

De même, le module sexadécimal fournit : $t_m = t_{m1} \log_{16} No$

$$t_m = t_{m1} + \frac{t_{m2}}{4} \log_2 (No + 1)$$

Pour les grandes valeurs de N_0 , il fournit le compromis acceptable entre un temps d'addition minimum, le nombre de module et la complexité d'un module. En effet, si une carte correspond à une base numérique 2^n , $t_m = t_{m1} + \frac{t_{m2}}{n} \log_2 (N_0 + 1)$, mais la complexité des portes de commande croît comme $\frac{n^2}{2}$, tandis que le nombre de cartes est $\frac{Z}{n}$.

Ce système reste suffisamment rapide par rapport au montage série simple dès que $t_{m2} < t_1$, temps de basculement d'un bistable (ce qui est pratiquement toujours le cas).

Théoriquement, la retenue transmise à l'ordre supérieur devrait (technique série) venir du basculement 1 0 de la bascule de plus haut poids d'un module. Mais on sait quand la retenue doit être émise : il est alors plus rapide de la fabriquer directement à partir de l'ordre d'addition à l'aide d'une porte ET.

Le système décrit en (Z) p2 - 21 est analogue, la base étant 2 seulement donc plus lent ($n = 1$) que ce que nous indiquons ci-dessus.

CHAPITRE III

COMPTEURS DECIMAUX ET UNIADDITIONNEURS DERIVES

1 - Base de numération

Les avantages du système binaire sont nombreux : simplicité de la logique, rapidité, économie, mais ne permettent de l'employer qu'à l'intérieur des machines.

Dès que des résultats doivent être communiqués à l'homme (marquage de spectres sur un oscilloscope, impression automatique de résultats) on est contraint d'utiliser le système décimal. Deux options sont alors possibles : réaliser complètement le traitement de l'information dans le code binaire pur (éventuellement octal ou sexadécimal aussi), et utiliser autant de décodeurs binaire décimal qu'il y a de sorties. Ou bien, traiter l'information constamment sous forme décimale. Dans ce cas, la pratique la plus économique est de sous-coder le nombre décimal à l'aide de 4 positions binaires.

On voit alors que partout où nous avons écrit précédemment $Z = \log_a (No + 1)$, nous devons écrire $Z = 4 \log_{10} (No + 1)$ soit $Z = \log_{\sqrt[4]{10}} (No + 1)$ ce qui entraîne $a = 1,77828 \dots$. Ainsi temps de retard et éléments de circuits s'accroissent. On montre (3) que pour atteindre une capacité donnée, la base a , qui simplifie au maximum les circuits minimise

$$\frac{a}{\log a}$$

On donne le tableau (1)

a	: a/log a
2	2,88
3	2,735
4	2,88
6	3,35
8	3,85
10	4,34
12	4,83

Dans ce cas, la valeur optimale est :

$$a = e = \frac{a}{\text{Log } a} \quad 2,72 \dots$$

Nous avons traité des systèmes bistables ; il n'existe pratiquement pas de système tristable simple de fonctionnement fiable. Voyons donc la dégradation qu'entraîne le travail dans le système décimal.

Il n'existe pas d'éléments compris entre ceux à un seul état et ceux à deux états ; autrement dit, dans le support $\frac{a}{\log a}$, rendant compte des circuits d'accès (servitudes) et $\log a$ du nombre d'éléments auxquels il faut accéder nous pouvons généraliser la formule en indiquant un rapport d'optimisation $\frac{b}{\log a}$ avec $b = \max(2, a)$

Puisqu'il faudra toujours accéder à des éléments au moins bistables, même si les services qu'on en tire ne sont pas ceux du système binaire.

Ce facteur nous permet de rejeter un certain nombre de solutions.

Le compteur en anneau nécessite 10 bistables pour un chiffre décimal ; si l'on n'utilise pas de matrices à diodes de transformation de codes, a vaut alors :

$$a = \sqrt[10]{10} = 1,26$$

L'utilisation de 6 positions binaires (par exemple bistable précédé d'un

compteur en anneau de 5) fournit $a = \sqrt[6]{10} = 1,47$.

L'utilisation de 5 positions binaires (par exemple : logique de Tarczy-Hor-noch (4) donne $a = \sqrt[5]{10} = 1,59$.

10	9,69
6	5,215
5	4,343
4	3,475
nombre de positions	$\frac{b}{\log a}$

Remarquons que les deux premiers systèmes indiqués sont pondérés : 0,1, 2, 3,4,5,6,7,8,9 pour le premier caractérisé en outre par sa faible consommation.

1,2,3,4,5,5 pour le second, qui, est, avec le premier, très facile à utiliser en décimal.

Le troisième (5) n'est pas pondéré mais permet, en compteur, d'utiliser une fréquence d'entrée allant jusqu'à 5 fois la fréquence admissible par un des bistables constitutifs. Cependant, la comparaison avec le tableau donnant

$\frac{b}{\log a}$ pour $a = 2$ montre que, aux grandes capacités, seul le système à 4 positions binaires convient.

Encore, seuls les systèmes à plus de 7 états stables pourraient être, par leurs circuits de mise en mémoire, moins pratiques.

Ainsi 20 bascules utilisées dans le système binaire naturel nous permettent de compter jusqu'à $2^{20} - 1 = 1\,048\,575$.

Utilisées dans le système décimal sous codé binaire, elles ne permettent de compter que jusqu'à $10^{20/4} - 1 = 10^5 - 1 = 99\,999 \neq 1,77828^{20}$.

2 - Echelles de 10 séries

Voyons comment procéder aux additions requises, 4 bascules représentant un chiffre décimal. On distingue 4 types de compteurs décimaux : à circuits de rétroactions, à circuits engendrant des impulsions d'avance supplémentaire, à circuits de blocage des impulsions, à connexions parallèles (3).

D'autre part, nous y ajouterons, par analogie avec le chapitre II des compteurs décimaux parallèles et hybrides.

De nombreuses solutions ont été proposées pour compter dans le système décimal, à partir de quatre bistables associés en série. Le point commun de ces méthodes est de ramener de 16 à 10 les combinaisons possibles d'états stables.

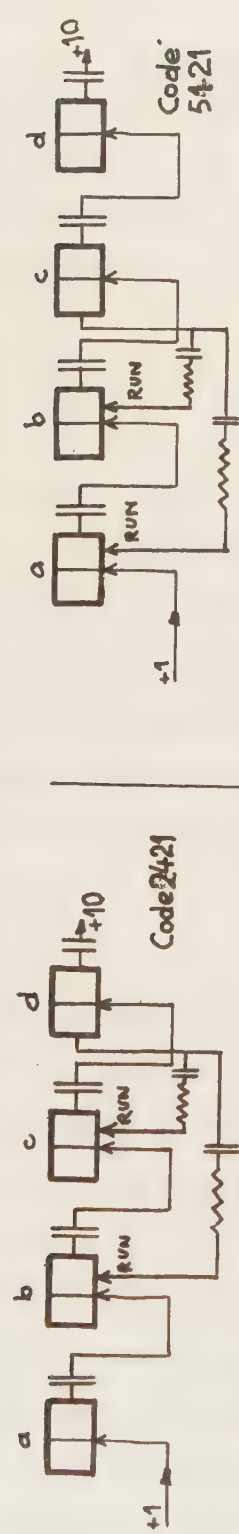
Nous en décrirons deux seulement pour évaluer le temps nécessaire à l'addition de 1 et pour pouvoir comparer ces résultats avec ceux de la solution parallèle ou de la solution hybride.

2 a - Circuits de rétroaction (figure 1)

Un chiffre décimal étant représenté par quatre bascules, il reste à supprimer les 6 combinaisons inutiles au moyen de circuits de rétroaction appropriés. Ils provoquent le basculement prématuré de certains bistables à partir des impulsions qui dérivent du changement d'état d'autres bascules de poids plus élevé.

Dans le premier cas qui nous occupe, quatre combinaisons sont supprimées par un circuit de renvoi disposé entre la sortie d de la bascule d (4ème bascule) et la "mise à un" de la bascule C (3ème bascule). Ainsi à un état 1000 succède immédiatement u état 1100 avant l'arrivée d'une autre impulsion, ce qui supprime les états 1000, 1001, 1010, 1011. Deux autres combinaisons sont supprimées par un autre circuit partant du même point et aboutissant à la remise à 1 de la bascule 6 (2ème bascule);

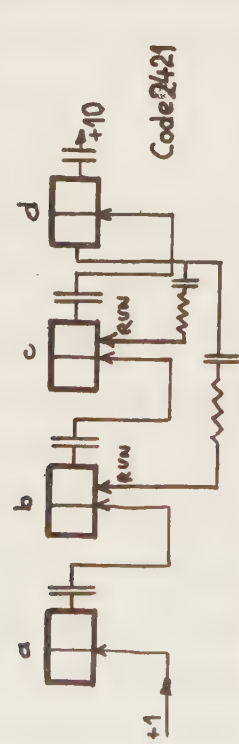
Compteurs décimaux série à rétroaction



Nombre d'impulsions d'attaque	Contenu des bascules			
	a	b	c	d
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
...	1	2	1	5

Poids 1 2 1 5

Retard : jusqu'à 4 basculements



Nombre d'impulsions d'attaque	Contenu des bascules				
	a	b	c	d	e
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	0
...	1	2	4	2	2

Poids 1 2 4 2 2

retard : jusqu'à 5 basculements successifs

Chapitre 3 fig 1

Compteurs à rétroaction sur les entrées "mise à un" (RUN)

ce qui fait que l'état 1000 instable est suivi réellement de l'état 1110, supprimant encore les états 1100 et 1101. Si a est le poids de la bascule d'entrée et b, c, d , ceux des bascules successives, on a : $a = 1, b = 2, c = 4, d = 2$ (code 2421).

On voit que passer de l'état 7 à l'état 8 exige 6 basculements dont deux simultanés : le temps nécessaire au comptage est donc $t = 5 t_1$.

Ou bien on peut utiliser une rétroaction analogue partant de la bascule C et attaquant les bascules a et b (remises à 1).

Ce système est aussi pondéré (code 5121) et on peut utiliser la simultanéité du basculement de d et du rebasculement de a et b pour dire que $t_1 = 4 t_1$

On voit que dans les deux cas les poids calculés sont les poids résultants, les rétroactions étant d'abord établies comme si, n'ayant pas d'influence, les poids respectifs des bascules restaient 1,2,4,8 ; les poids réels sont différents mais la séquence de fonctionnement est correcte.

2 b - Suppression d'états stables par emploi de connexions parallèles (fig.2)

Nous décrivons cette solution car elle présente une nouvelle amélioration par rapport à la précédente quant à la vitesse de comptage.

On part du principe suivant : $10 = 2 \times 5$. Si l'on applique les impulsions d'entrée simultanément à un bistable et à une échelle de 5, les deux ensembles prendront des états identiques de 10 en 10 impulsions ; en particulier, on peut considérer la sortie du bistable et de l'échelle de 5 comme les deux entrées d'un circuit ET qui n'aura de sortie que toutes les 10 impulsions d'entrée. Ceci suppose évidemment que les deux éléments, bistable et échelle de 5 introduisent le même retard.

On notera au passage que cette méthode n'est pas réservée à la base 10, à la condition que la décomposition de la base du système de comptage puisse être faite en une série de facteurs premiers entre eux ; chacun d'eux servira de nouvelle base pour l'un des compteurs séparant l'entrée du circuit de coïncidence. Ce procédé est donc exclu pour toutes les bases de numération puissances d'un nombre premier ; il est d'autant plus avantageux

que l'on peut décomposer la base en un plus grand nombre de facteurs premiers entre eux et de même ordre de grandeur, par exemple pour une base comme $315 = 5 \times 7 \times 9$ qui exigera une échelle de 5, une de 7, une de 9 ; soient 10 bistables et un temps de retard entre entrée et sortie de l'ordre de $4 t_1$ (échelles de 9) : au lieu de 9 bistables, mais un retard de l'ordre de $9 t_1$ en employant un compteur série classique.

Cependant, ces systèmes ont en commun un gros défaut ; même si les échelles composantes sont pondérées, l'ensemble ne l'est pas, ce qui rend difficile le décodage analogique du contenu des compteurs et par là sa représentation, par exemple pour le tracé d'un spectre sur oscilloscope. Cette absence de pondération est regrettable car l'échelle de 5 introduisait un retard affaibli entre entrée et sortie, $t_r > 3 t_1$ (au lieu de $4 t_1$).

Nous rappelons que ces temps de retard sont à multiplier par $\log_{10}(N_0 + 1)$ où N_0 est la contenance, un uniadditionneur exige des composantes de qualité constante (ch. II - 1).

2 c - Inconvénients communs aux systèmes séries

Outre ce temps élevé d'établissement par propagation de la nouvelle information stockée ($N + 1$), de tels compteurs série son difficilement transformables en uniadditionneurs car le basculement aval est fréquemment lié au basculement $1 \rightarrow 0$ de la bascule précédente.

Ainsi, la propagation d'une retenue vers des ordres plus élevés serait de même nature, et passerait par les mêmes circuits qu'un signal erratique dû à une remise à zéro (exigée par la séquence d'addition). Donc la remise à zéro ne pourrait être faite que par des impulsions de plus en plus retardées au fur et à mesure qu'on s'élève vers les ordres supérieurs ou par une tension continue appliquée suffisamment longtemps à toutes les bascules. Dans tous les cas, la remise à zéro exige un temps total de propagation et nuit ainsi considérablement à la résolution de l'uniadditionneur.

Ces problèmes sont en grande partie résolus par la méthode parallèle.

3 - Logique d'une décade parallèle (rang des unités décimales)

Sa conception découle très naturellement des compteurs binaires analogues traités au chapitre II - 2. Commençons l'étude de la décade de rang le plus bas (unités).

Ici doit être fait un choix fondamental : les poids des quatre bascules a, b, c, d, en effet, nous devons pour nous réserver la possibilité d'un décodage analogique, utiliser un système pondéré. Il existe une foule de combinaisons mais nous rejetons à priori les codes dont un poids au moins est négatif, toujours en vue de simplifier le décodage. Il reste encore un grand nombre de codes possibles, dont 4 au moins, les codes 5211, 4311, 4221, et 3321 sont autocomplémentaires (3) et dont l'intérêt serait plus grand si l'on entendait procéder à des opérations plus complexes que l'addition de 1, par exemple la soustraction d'un nombre décimal quelconque.

Ici, nous choisissons simplement le code 8421 ; la séquence correspondant à la description successive de tous les chiffres décimaux est la plus proche, évidemment de la séquence binaire pure. (figure 3)

Nous pouvons, par trois méthodes différentes, aborder la conception des circuits logiques indispensables.

a) Méthode par correction

Les compteurs binaires exigeaient, pour les bascules successives, l'élaboration des ordres de basculement respectif :

$$C_1 = a \quad C_2 = 1.a \quad C_4 = 1.2.a \quad C_8 = 1.2.4. a....$$

où a est l'ordre d'addition.

Ici, on doit de plus prévoir que C_8 vaille aussi 1 lorsque 9 est enregistré dans le compteur, pour que l'on puisse passer de 1001 à 0000 ; donc :

$C_8 = 1.2.4.a + a.1.8.$ où + représente la fonction OU au sens de l'algèbre de Boole.

De plus, à l'état 1001 succède 0000 qui ne comprend pas $b = 1$; donc C_2 , qui fournirait actuellement $b = 1$ après l'enregistrement de 9, doit être restreint.

Il n'y a qu'un cas de restriction, c'est pour 9, alors, $a = 1$ et $d = 1$, et c'est la seule fois dans la séquence. Donc : $C_2 = a.1.\overline{8}$.

Finalement : $C_1 = a$ $C_2 = a.1.\overline{8}$ $C_4 = a.1.2.$ $C_8 = a.1.(2.4+8)$

Cette méthode, peut être la plus rapide, est aussi celle qui fait courir le plus de risques d'erreurs. Evidemment $C_{10} = a.1.8.$

b) Méthode par description et simplification littérale

En examinant bien la séquence, on voit que la première bascule change d'état si le contenu est 0,1,2,3,4,5,6,7,8,9 ; donc $C_1 = a$.

La seconde bascule change d'état si le contenu avant l'arrivée de l'impulsion est 1,3,5,7 ; soient respectivement : $1.\overline{2}.\overline{4}.\overline{8} = 1$; $1.2.\overline{4}.\overline{8} = 1$; $1.\overline{2}.4.\overline{8} = 1$; $1.2.4.\overline{8} = 1$ et :

$$C_2 = a (1 \overline{2} \overline{4} \overline{8} + 1.2.\overline{4}.\overline{8} + 1.\overline{2}.4.\overline{8} + 1.2.4.\overline{8}) = a.1.\overline{8}[\overline{2} \overline{4} + 2.\overline{4} + \overline{2}.4 + 2.4.]$$

On reconnaît dans le crochet le développement de $(2 + \overline{2})(4 + \overline{4}) = 1$

Donc : $C_2 = a.1.\overline{8}$.

La troisième bascule change d'état si le contenu avant l'arrivée de l'impulsion est 3 ou 7 ; ainsi $C_4 = a (1.2.\overline{4}.\overline{8} + 1.2.4.\overline{8})$

$$C_4 = a.1.2.\overline{8} (4 + \overline{4}) = a.1.2.\overline{8}$$

Enfin la quatrième bascule change d'état si le contenu précédent s'élève à 7 ou 9, correspondant respectivement à : $1.2.4.\overline{8} = 1$ et $1.\overline{2}.\overline{4}.8 = 1$ donc $C_8 = a (1.2.4.\overline{8} + 1.\overline{2}.\overline{4}.8) = a.1 (2.4.\overline{8} + \overline{2}.\overline{4}.8)$

Nous avons intérêt à simplifier ces expressions au maximum pour qu'il en soit de même des circuits. Nous remarquons que si cette séquence fonctionne, elle se boucle sur elle même, au bout de 10 impulsions. L'ensemble des quatre bascules ainsi commandées ne peut donc décrire à lui seul les états 11,13,15, notamment. Donc on a toujours : $8.\overline{4}.2.1 = 0$ (état 11)

$$8.4.\overline{2}.1 = 0 \text{ (état 13)} \quad 8.4.2.1 = 0 \text{ (état 15)}$$

Ainsi :

$$\begin{aligned} C_4 &= a.1.2.\overline{8}. = a (1.2.\overline{8}. + 0) = a (1.2.\overline{8}. + 1.2.4.8 + 1.2.\overline{4}.8) \\ &= a (1.2.\overline{8} + 1.2.8 [4 + \overline{4}]) = a (1.2.\overline{8} + 1.2.8) \\ &= a.1.2.(8 + \overline{8}) = a.1.2 \end{aligned}$$

et

$$\begin{aligned} C_8 &= a (1.2.4.\overline{8} + 1.\overline{2}.\overline{4}.8) \\ &= a (1.2.4.\overline{8} + 0 + 1.\overline{2}.\overline{4}.8 + 0) \\ &= a ([1.2.4.\overline{8} + 1.2.4.8] + [1.\overline{2}.\overline{4}.8 + 1.2.\overline{4}.8 + 1.\overline{2}.4.8 + 1.2.4.8]) \\ &= a (1.2.4.[8 + \overline{8}] + 1.8 [\overline{2}.\overline{4}. + 2.\overline{4}. + \overline{2}.4 + 2.4]) \\ &= a (1.2.4 + 1.8 [2 + \overline{2}] [4 + \overline{4}]) \\ &= a (1.2.4 + 1.8) \end{aligned}$$

De même $C_{10} = a.1.\overline{2}.\overline{4}.8 = a.1.8$ en "regroupant" avec l'état 9 existant, les états 11,13,15 absents.

c) Méthode par description et simplification topologique (3)(5)(6)

Cette méthode, identique dans son esprit à la précédente, utilise le diagramme de Veitch qui permet une simplification à vue des expressions de commande. En effet, on voit sur ce diagramme les 16 états possibles (pour un ensemble de 4 bascules) entièrement décrits ; étant donné a priori que la séquence fonctionnera de façon à ne maintenir que 10 états, les 6 états encadrés n'existeront jamais et pourront être annexés à d'autres pour donner une expression simple. Il est évident que $C_1 = a$.

Pour C_2 ; l'impulsion doit être transmise si l'on a l'un des états 1,3,5,7 respectivement représentés par un "x" dans une case blanche. L'ensemble de ces 4 "x" occupe la totalité des cases intersections de la colonne 1 avec les lignes 8 ; donc $C_2 = a.1.8$.

Pour C_4 ; l'impulsion doit être transmise si l'on a l'un des états 7 ou 3.

Ce qui se lit :

$$C_4 = a.1.2.8 - \text{Mais notons que nous pouvons adjoindre aux deux états}$$

marqués d'un "x" les deux états figurés par un cercle (11 et 15) puisqu'ils n'existeront jamais (ces cercles vont à l'intérieur du cadre des états inexistant : $11 > 9$ et $15 > 9$). L'ensemble des deux cercles et des deux "x" occupe la totalité de l'intersection de la colonne 1 avec la ligne 2 ; donc $C_4 = a.1.2$ (figure 4 d) (On vérifiera en effet que : $1.2 = 1$ entraîne $8 = 0$ soit $\overline{8} = 1$).

Pour C_8 , nous savons que la quatrième bascule change d'état si le contenu de la décade est 7 ou 9. Ces deux états n'ont pas de lien entre eux ; respectivement $7 = 1.2.4.\overline{8}$ et $9 = 1.\overline{2}.\overline{4}.8$

Cependant, leurs expressions peuvent être simplifiées par l'adjonction des cases marquées d'un cercle (figure 4 e).

Adjoignons, figure 4 f, ces trois cases (11,13,15) à la case 9 ; alors : $1.\overline{2}.\overline{4}.8 = 1.8$ dans le cas précis de cette décade.

Adjoignons, figure 4 g, la case 15 à la case 7, nous lisons :

$$1.2.4.\overline{8} = 1.2.4$$

Enfin, $C_{10} = a.1.\overline{2}.\overline{4}.8$ (figure 4 f)

A priori, utiliser les expressions primitives :

$$C_1 = a \quad C_2 = a.1.\overline{8}. \quad C_4 = a.1.2.\overline{8} \quad C_8 = a (1.2.4.\overline{8} + 1.\overline{2}.\overline{4}.8)$$

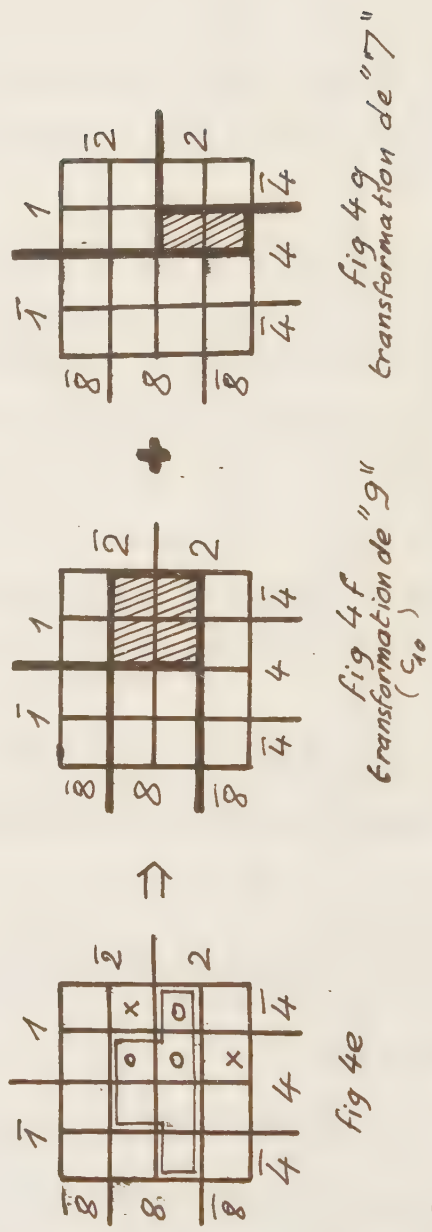
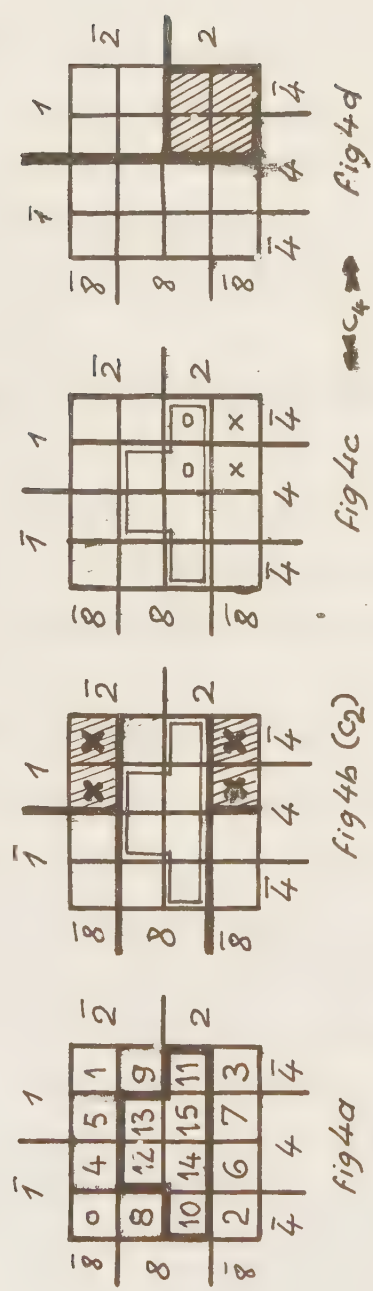
$C_{10} = a.1.\overline{2}.\overline{4}.8$ exige 23 éléments de circuits, alors que la série

$$C_1 = a ; C_2 = a.1.\overline{8} ; C_4 = a.1.2. ; C_8 = a (1.2.4 + 1.8) ;$$

$$C_{10} = a.1.8 ; \text{ on nécessite seulement 17.}$$

On conçoit aisément que des trois méthodes présentées plus haut pour élaborer ces formules, la première soit la plus sujette à erreur ; la seconde la plus lourde ; la troisième permet seule d'inventorier les simplifications possibles.

Comptages parallèle et hybride: Diagrammes de Veitch



Chapitre 3. Fig4. Logique d'une décade. derangunité

4 - Logique de plusieurs décades attaquées simultanément (un additionneur parallèle)

Des formules finales indiquées ci-dessus, nous pouvons déduire toutes les expressions logiques.

$$1^{\text{ère}} \text{ décade : } C_1 = a \quad C_2 = a.1.\overline{8} \quad C_4 = a.1.2. \quad C_8 = a.1.2.4 + a.1.8$$

$$2^{\text{ème}} \text{ décade : } C_{10} = a.1.8 ; C_{20} = a.1.8.10.\overline{80} ; C_{40} = a.1.8.10.20 \\ C_{80} = a.1.8. (10.20.40 + 10.80)$$

$$3^{\text{ème}} \text{ décade : } C_{100} = a.10.80 \quad C_{100} = a.10.80.100.\overline{800} \text{ etc } \dots$$

On voit que la pratique du produit logique direct, qui aurait l'avantage de la simultanéité totale de toutes les attaques, est lourde. On va le montrer précisément en évaluant le nombre de composants nécessaires.

Allouons une diode par terme du produit ET à effectuer, en exceptant l'ordre + 1 ; et un transistor par fonction OU ou facteur $a = +1$.

On voit sur la première ligne des expressions précédentes que la première décade (unités) exige 5 transistors et 9 diodes ; la seconde (dizaines), 5 transistors et 19 diodes.

Si N_0 est la capacité à obtenir, avec $N_0 + 1 = 10^k$, il faut en tout $5k$ transistors et $9k + 5k(k-1) = 5k^2 + 4k$ diodes.

Supposons que $N_0 = 99\,999$; $k = 5$; il faut 25 transistors de porte et 145 diodes.

Comparons au système binaire pur, attaque parallèle $z = 17$ fournit $N_0 = 131\,071$ et exige (avec les mêmes hypothèses de produit logique direct 17 transistors de portes et $\frac{Z(Z-1)}{2} = 136$ diodes.

Notons que $N_0 + 1 = 2^Z = 10^k$ entraîne alors : $k = 0,301 z$ par suite : $5k^2 + 4K = 0,405209z^2 + 1,20412 z$. Ainsi le système binaire pur est le plus économique en diodes jusqu'à $z = 38$ ($N_0 \neq 3.10^{11}$) et l'est toujours en transistors.

L'étude sur la nécessité d'introduire des amplificateurs auxiliaires (ch. II-2) reste valable. Ici aussi, les bascules de poids 1, 8, 10, 80 ... sont chargées par un très grand nombre de portes et exigeraient des amplificateurs de puissance, que l'on pourrait également installer, suivant l'une des deux configurations, au prix de retards supplémentaires. La croissance du nombre d'éléments nécessaires pour les portes est quadratique en k . Le circuit reste conçu d'un seul tenant ; sa conception est donc assez difficile et plus encore son dépannage.

Cependant, si l'on utilise ce que l'on a appelé la seconde configuration d'amplification avec élaboration de produits partiels, on atteint une conception quasi modulaire du circuit global ainsi que nous l'avons vu (ch. II-2). Alors, le nombre d'éléments de circuits nécessaires pour constituer les portes ne croît plus comme le carré du nombre de décades, mais comme le nombre de décades seulement. Ainsi, une contenance de 99 999 n'exige plus qu'environ 55 diodes pour les portes ET au lieu de 145 ; cependant le nombre de transistors reste invariant. Enfin des amplificateurs de puissance sont nécessaires : des transistors collecteur commun par exemple : cependant ils introduisent un affaiblissement de tension lorsqu'ils sont montés en cascade.

Dans le cas où le produit logique direct serait possible, la séquence complète du comportement en uniadditionneur serait la suivante :

- 1 remise à zéro générale
- 2 inscription parallèle du contenu de la mémoire
- 3 mise en état des sorties de bascules et des portes ET au facteur a près
- 4 arrivée de l'ordre d'addition ; passage à travers les portes (s'il y a lieu) un temps de basculement.
- 5 lecture statique du résultat $N + 1$ possible jusqu'à une nouvelle phase 1 : ou bien remise à zéro maintenue jusqu'en 1, provoquant lors de son établissement l'émission d'une impulsion par chacune des bascules dont le contenu est 1.

Dans le cas pratique où des produits logiques partiels sont élaborés,

nous avons :

- 1 remise à zéro
- 2 inscription parallèle du contenu de la mémoire
- 3 mise en état des sorties des bascules ; transmission de l'indication des premières par les amplificateurs ; premier produit partiel ; amplification ; deuxième produit partiel, amplification, etc...
- 4 et 5 : comme ci-dessus

En résumé la réalisation du parallélisme intégral exige : soit un grand nombre de circuits (première configuration), soit des retards supplémentaires dans la mise en état des portes (seconde configuration). On va voir dans le prochain paragraphe que la solution hybride est un bon compromis entre simplicité et rapidité.

5 - Méthode hybride

Elle est analogue à celle indiquée pour le comptage binaire. Ici la question de choisir la base numérique : octale ou sexadécimale ne se pose plus puisque le système décimal est imposé.

3 a - La première disposition possible (figure 5) est d'attaquer en parallèle une décade constituée par 4 bascules. Lorsque la bascule de poids 8 de cette décade passe de l'état 1 à l'état 0, elle émet une impulsion qui, comme dans le comptage série, est utilisée pour l'ordre supérieur. Cette impulsion, d'ailleurs éventuellement amplifiée et calibrée, est fonctionnellement identique à celle qui entre dans la première décade. C'est l'ordre + 1 de la seconde décade, que l'on peut noter a_{10} .

On voit qu'avec cette disposition, le temps total pour l'addition à qualité constante des composants, est de :

$$t = t_m + (t_p + t_1) \log_{10} (N_o + 1) = t_m + (t_p + t_1) k$$

avec : t_m : temps de mise en état des portes ; t_p : temps de passage dans

une porte, t_1 : temps de basculement. Dans cette première disposition, on aurait alors intérêt à utiliser des bascules de poids 8 plus rapides que les autres, au détriment de la standardisation ; mais si $t'_1 < t_1$ est le retard de basculement d'une bascule de poids 8 :

$$t = t_m + k t_p + t_1 = t'_1 (k - 1)$$

3 b - La seconde disposition possible part du principe que l'on sait d'avance quand une retenue doit être émise : donc on peut l'élaborer à partir de l'impulsion par une porte ET ; si celle-ci est identique aux autres, on a

$$t = t_m + k t_p + t_1 = t_m + t_1 + t_p \log (N_0 + 1) \quad (\text{figure 6}).$$

On peut aussi utiliser des portes série rapide ET_R . Si ce sont des portes à transistor (resp. à diode), on peut affecter au signal $a_{10}n - 1$ un transistor (resp. une diode) beaucoup plus rapide que les deux autres qui sont mis en état en même temps que les portes affectées au comptage parallèle à l'intérieur de chaque décade.

Appelons t'_p le retard qu'apporte une porte ET_R (et l'amplificateur éventuel) à la propagation autorisée d'une impulsion d'addition vers la décade supérieure. Alors :

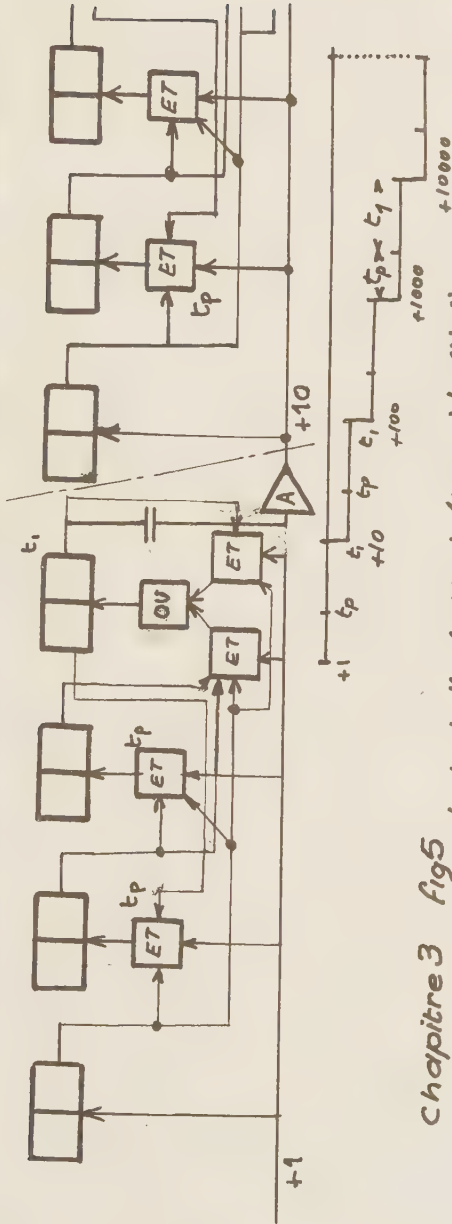
$$t = t_m + t_p + t_1 + (k - 1) t'_p$$

La séquence temporelle est la seconde de la figure 6. L'intérêt d'une telle méthode est assez évident quand il y a un grand nombre de décades.

On voit également sur la même figure le diagramme fonctionnel de bascules formées en décade, où

les expressions logiques ont été simplifiées au maximum
des portes rapides suivies de régénérateurs élaborent les ordres d'addition des décades supérieures.

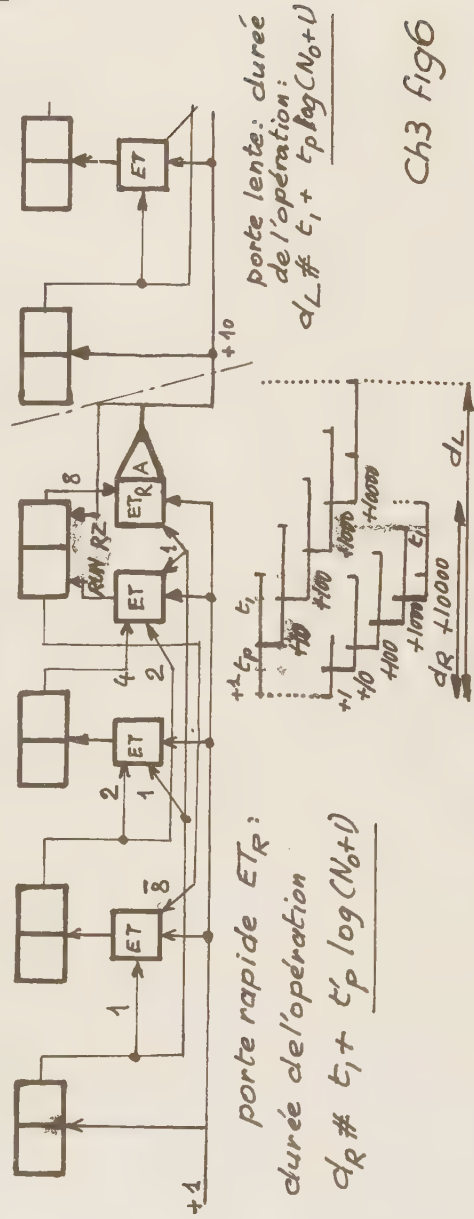
Montage hybride simple : décades type "parallèle" montées en série



ces deux
montages
se décomposent
en modules

Chapitre 3 fig 5 durée de l'opération # $(t_p + t_s) \log(N_0 + 1)$

Montage amélioré : retenue élaborée par une porte



Ch3 fig 6

un circuit OU a été supprimé (et donc l'attaque d'un bistable diviseur de fréquence) en remarquant que la remise à zéro et la remise à un sont issues d'expressions logiques définies, distinctes, irréductibles.

L'élaboration de la remise à zéro "comptage" n'est pas faite par un circuit ET spécial, mais par simple prise sur la sortie basse impédance du bloc ET_R - régénérateur.

Le montage complet peut être fait par la juxtaposition de montages identiques, le poids décimal de chaque module dépendant uniquement de sa position dans la chaîne.

Enfin, le nombre d'éléments nécessaires pour les circuits logiques est proportionnel au nombre de décades (et non plus à leur carré comme en III - 2).

Avec les mêmes hypothèses, il faut ici 4 k transistors et 9 k diodes, plus k éléments rapides (diodes) pour la version la plus élaborée.

Notons que :

$9k < 5k^2 + 4k$ dès que $k > 1$, ce qui est toujours le cas et était d'ailleurs prévisible.

Donc le système indiqué est le plus économique.

CHAPITRE IV

LE PROBLEME POSE - PRINCIPALES OPTIONS

Le problème qu'il s'agit de résoudre ici est celui de la réalisation d'un dispositif arithmétique (susceptible de fonctionner en liaison avec une mémoire) de façon à pouvoir compter par classes des impulsions qu'un convertisseur analogique numérique a classées (ch.I). Il s'agit donc d'un comptage différé, et le montage à étudier est celui d'un uniadditionneur. D'autre part, on se réserve de pouvoir exploiter le résultat de ces comptages, et on désire que la capacité de chaque canal (20 positions binaires) concilie si possible une addition rapide avec des composants de coût moyen. Le temps d'addition pour l'ensemble de 5 décades étant fixé à 150 nanosecondes (ch.I).

L'exploitation par machine imprimante est facilitée si l'on procède au comptage (différé ou non) dans le système décimal. Utiliser le système binaire pur entraînerait une capacité de $2^{20} - 1 = 1048575$ coups par canal. Le système décimal codé permet d'emmagasiner $10^{20/4} - 1 = 10^5 - 1 = 99\,999$ coups par canal. Cependant, ce système est adopté ; on sacrifie un ordre de grandeur décimal à la simplification espérée des circuits d'exploitation, devant permettre l'observation sur oscilloscope du spectre emmagasiné, la sortie sur imprimante ... En effet, pour la sortie sur oscilloscope, on ne peut utiliser le décodage direct d'indication binaires pures, car l'observateur veut en général adapter la sensibilité verticale à un problème, et il est préférable qu'elle varie de 10 en 10 plutôt que par 8 ou 16 ; enfin,

on ne procède alors qu'au décodage des trois ou quatre décades intéressantes par jeu de commutateur, et non au décodage complet.

Vu l'importance du nombre de positions binaires, le montage parallèle d'addition est difficilement concevable : 19 portes devraient être alimentées par la première bascule. L'uniadditionneur devient trop volumineux pour qu'en cas de panne on puisse rejeter l'ensemble ; une conception par modules s'impose, provoquant même au stade de la première réalisation une importante économie, au prix d'une moindre rapidité.

La solution série est évidemment rejetée car on ne peut attendre le temps de 20 basculements successifs pour considérer l'addition comme terminée. La solution de l'addition série avec échelle connectée en parallèle (III-2b) un peu plus rapide, est aussi rejetée car supprimant la pondération des bascules, elle ne se prête pas au décodage analogique direct des informations enregistrées, mais exige un transformateur de codes. Donc la solution retenue s'inspirera des conclusions exposées plus haut (III-3) : système hybride avec élaboration des retenues par une porte rapide.

La figure 1 résume sous forme de tableau le résultat des discussions précédentes, qui conduisent au choix ci-dessous. L'addition devant être faite en 150 ns. On voit que pour le système hybride adopté, on peut admettre un retard apporté par chaque porte rapide de l'ordre de 10 ns. Il reste alors 100 ns à répartir entre les basculements consécutifs à l'inscription dans l'uniadditionneur, le passage dans les portes lentes et les basculements consécutifs à l'action de l'ordre d'addition. Si on affecte 20 ns aux portes lentes, il reste 80 ns pour deux basculements successifs plus la partie de l'impulsion d'inscription correspondant au début du basculement, temps compté dans la durée de lecture de la mémoire.

Chapitre IV fig 1

Conventions

On compte le temps à partir de la fin de l'inscription.

t_m : mise en état des portes

t_{m1} : lentes

t_{m2} : rapides

t_p : durée de d'une impulsion dans une porte passante

t_a : retard par un amplificateur

A: nombre maximum d'amplificateurs en cascade

t : durée de l'opération: addition de 1

39

Solution envisagée (compteur)		Temps nécessaire pour ajouter 1	Observations (uniadditionneur)
Binaire pur	Série	$t = t_m + \log_2 (N_0 + 1)$	Lent - Ne convient que pour le comptage direct
	Parallèle (Direct)	$t = t_m + t_p + t_1$	Ultra rapide - Trop d'éléments - Bascules surchargées - Un seul tenant
	Parallèle - produits logiques partiels seconde configuration	$t = t_m + t_p + t_1 + A t_a$	Amplificateurs de puissance auxiliaires - Montage presque modulaire
	Hybride - retenue par basculement	$t = t_m + (t_p t_1) \log_2 (N_0 + 1)$	$n=3$: module octal } remise à zéro $n=4$: " sexadécimal } délicate
	Hybride - retenue par portes rapides	$t = t_m + t_p + t_1$	n : id. Intéressant car $t_{m2} \ll t_1$
	Compteurs à plus de 4 positions binaires par décade	$t = t_{m1} + t_p + t_1$	Mémoire trop onéreuse
Décimal codé à 4 positions binaires	Série: à rétroaction	$t \geq 4t, \log_2 (N_0 + 1)$	Lent - Comptage direct
	Série: à coïncidence (connexion parallèle)	$t \geq 3t, \log_2 (N_0 + 1)$	Non pondéré - Comptage direct
	Parallèle produits directs	$t = t_m + t_p + t_1$	Irrealisable dès que $N_0 \geq 99$ (cf binaire pur)
	Parallèle produits logiques intermédiaires	$t = t_m + t_p + t_1 + A t_a$	Amplificateurs auxiliaires Montage presque modulaire
	Hybride à retenue par basculement	$t = t_m + (t_p t_1) \log_2 (N_0 + 1)$	Remise à zéro délicate (confusion avec la retenue) dans la fonctionnement en uniadditionneur
	HYBRIDE Retenue par porte rapide -	$t = t_{m1} + t_p + t_1 + t_{m2} \log_2 (N_0 + 1)$	Remise à zéro sans problème Construction en modules Addition rapide ($t_{m2} \ll t_1$)

No: valeur numérique maximum d'un "mot" binaire

CHAPITRE V

REALISATIONS PRATIQUES

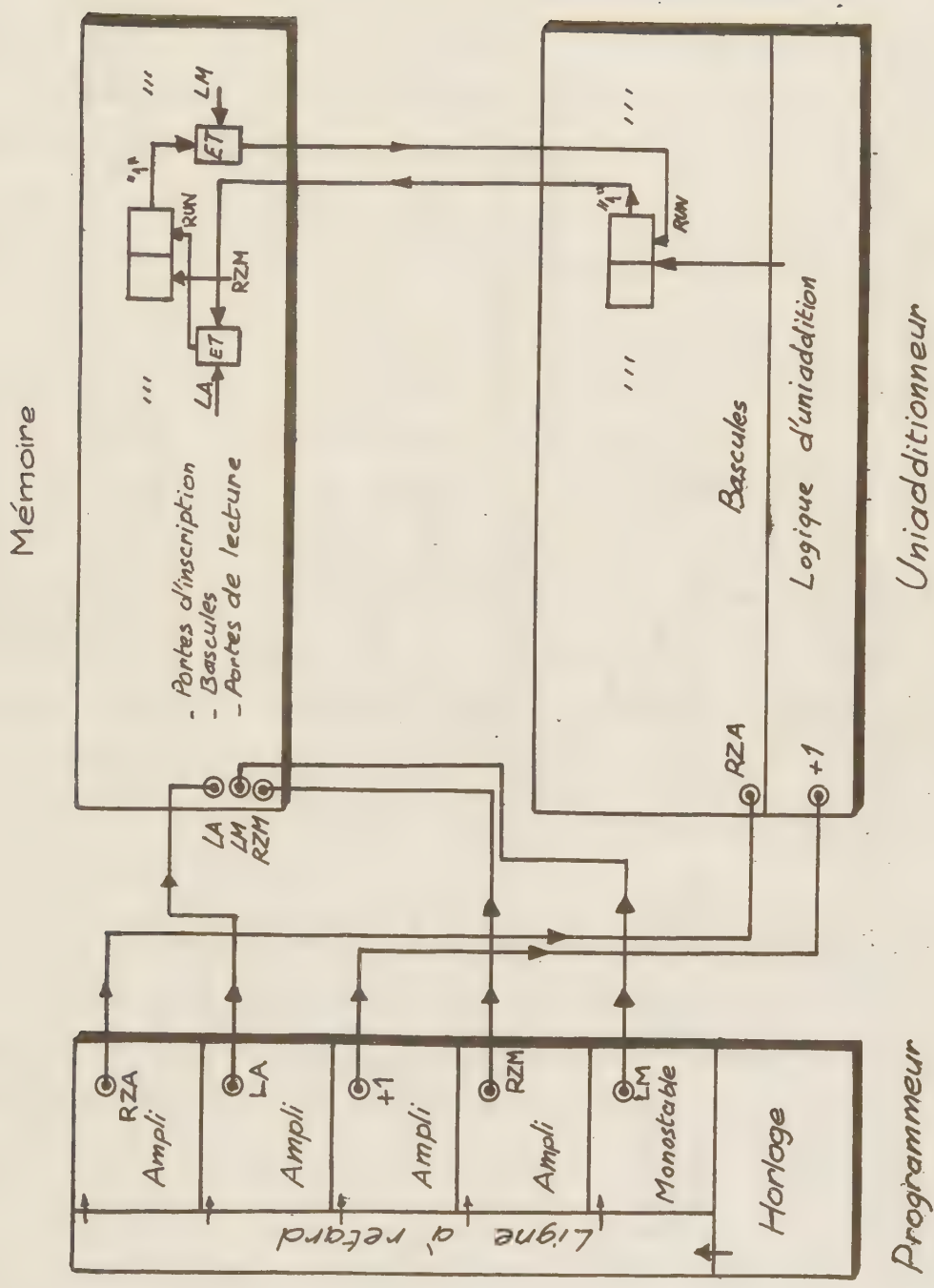
SON DIAGRAMME FONCTIONNEL - LES ESSAIS POSSIBLES

Si le problème posé ici se réduit à la conception et la réalisation du seul uniadditionneur, en fait nous devons réaliser d'autres blocs pour la mise au point et la vérification de son bon fonctionnement.

Ne disposant pas, pour faire nos essais, d'une mémoire à tores en état de marche, nous réalisons donc une mémoire constituée de bascules à transistors qui nous permet de faire fonctionner l'uniadditionneur en comptage différé (ch.1).

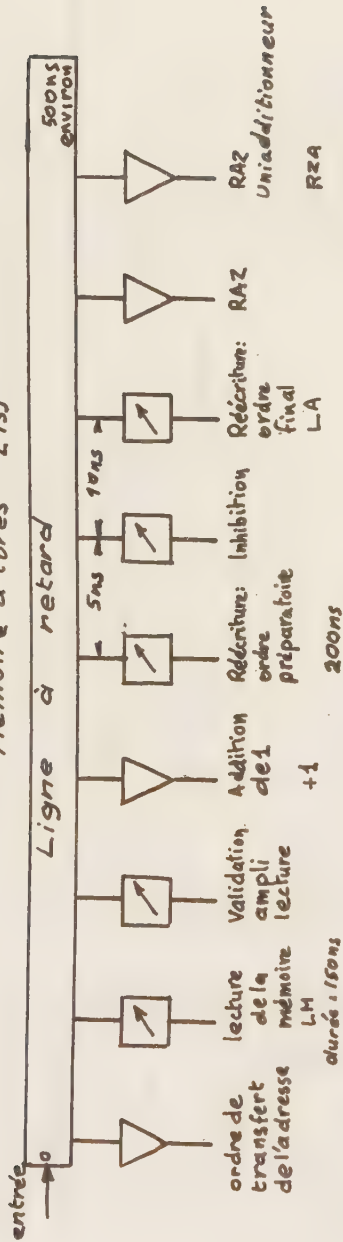
Chaque bascule-mémoire est flanquée de deux portes (figure 1) : l'une permet l'inscription du contenu de l'uniadditionneur dans la mémoire (elle est commandée par la bascule correspondante de l'uniadditionneur et l'ordre : "lecture de l'uniadditionneur" LA), l'autre permet l'inscription du contenu de la bascule mémoire dans l'uniadditionneur (elle est commandée par la bascule de la mémoire et l'ordre "lecture de la mémoire" LM); lorsqu'il y a concordance, la bascule équivalente de l'uniadditionneur est mise en l'état un).

Nous avons vu (ch.1 figure 2) qu'un programmeur est nécessaire pour donner différents ordres, échelonnés dans le temps, soit à la mémoire soit à l'uniadditionneur. Aussi en avons nous réalisé un : c'est une version



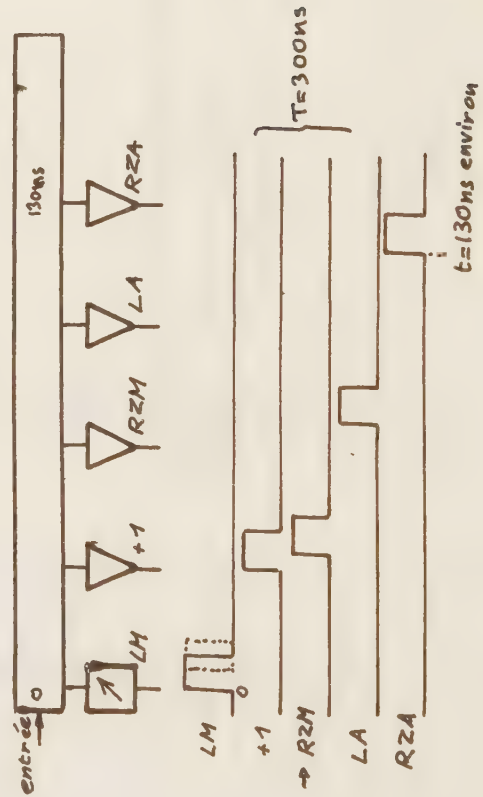
Chapitre 5 - fig 1-

Programmeur pour uniadditionneur et Mémoire à tores [13]



Programme simplifié (essais de l'uniadditionneur)

- les portes lisent et amplifient suffisamment
- la mémoire étant lue sans destruction, un ordre de remise à zéro de la mémoire est ajouté: RZM



Chapitre 5
Fig2

monostable
réglable
en durée

rudimentaire du programmeur réellement nécessaire. Il ne démarre pas de façon aléatoire comme s'il était piloté par un convertisseur, mais fonctionne périodiquement pour faciliter le contrôle à l'oscillographe. Notre mémoire étant lue statiquement, ce programmeur fournit un ordre de remise à zéro de la mémoire qui n'est pas nécessaire si la mémoire est lue de façon dynamique ou destructive. (figure 2).

Les essais possibles, avec un tel ensemble sont de deux types :

- ou bien seule la liaison + 1 est faite. L'uniadditionneur fonctionne en compteur ordinaire. Ceci permet de vérifier le fonctionnement des bascules et de la logique d'addition de l'uniadditionneur.

- ou bien toutes les liaisons sont faites, et le système fonctionne en compteur différé. Le fait que la mémoire ne contienne qu'un seul mot permet de prévoir la suite complète des états possibles pour chaque bascule de l'uniadditionneur. Le fonctionnement est vérifié par la confrontation des oscillogrammes obtenus avec la séquence type de chaque bascule. On verra que le programme permet la modification des retards ; ainsi, on peut rechercher le temps minimum séparant certaines phases. Ce programmeur permet le fonctionnement suivant :

LM : le contenu de la mémoire est lu par une porte ET ; il en sort une impulsion réglable (monostable du programmeur) signifiant que 1 est inscrit dans la mémoire ; dans ce cas, la bascule correspondante de l'uniadditionneur est mise en position 1. Ainsi, le contenu de la mémoire est transcrit en parallèle dans l'uniadditionneur.

+ 1 et RZM, quand les portes de la logique d'addition sont en état : on envoie l'ordre + 1 et l'addition se fait ; pendant ce temps, la mémoire auxiliaire est remise à zéro (RZM).

LA : le contenu de l'uniadditionneur est lu par des portes ET, et transcrit en parallèle dans la mémoire préalablement remise à zéro (RZM).

RZA : l'uniadditionneur est ensuite à zéro, ce qui justifie l'inscription (LM) comme départ.

Quand l'uniadditionneur sera inséré dans un montage global, le temps LA sera beaucoup plus long qu'ici si l'on inscrit directement dans une mémoire à tores, ou du même ordre si l'on emploie une mémoire tampon à transistors ; le programmeur sera alors conçu en conséquence. C'est cette considération qui nous fait procéder à une lecture statique de l'uniadditionneur (par une porte), plutôt qu'à une lecture dynamique (remise à zéro et impulsion recueillie) car dans l'utilisation on a besoin, pour réécrire le nombre, de sa valeur longtemps (150 ns) devant le temps de basculement d'une bistable (50 ns).

CHAPITRE VI

MEMOIRE ET UNIADDITIONNEUR

CIRCUITS DE BASE

Nous décrirons dans ce chapitre la conception des circuits de base qui doivent assurer la rapidité que l'on s'est fixée.

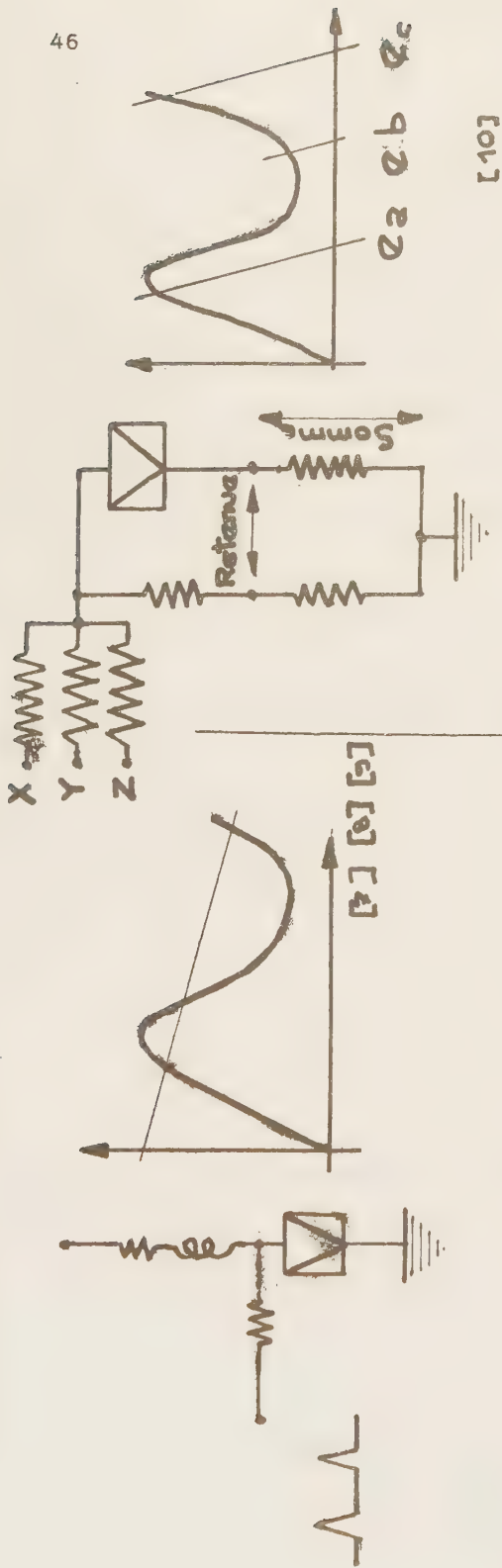
C'est à dire 80 ns pour le bistable, 20 ns pour les portes lentes, 10 ns pour les portes rapides.

Bistables et portes sont de type communs pour la mémoire et l'uniadditionneur ; on les décrira successivement, mais le bistable est le circuit le plus important.

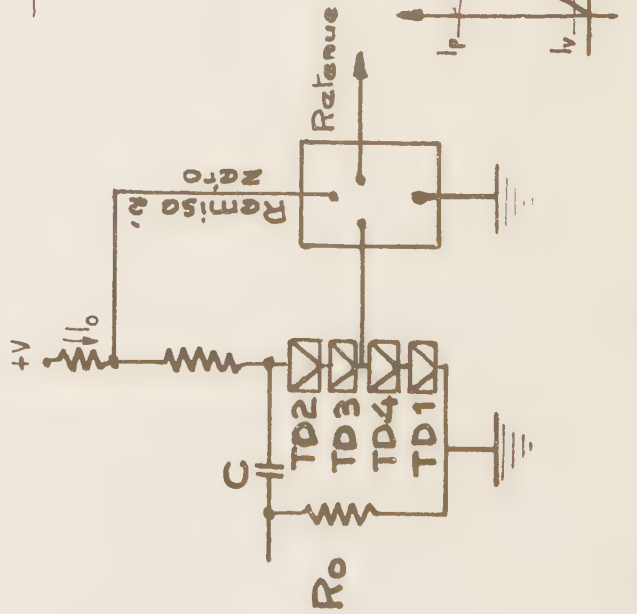
A) Les bascules bistables

1 - Principales possibilités : causes de rejets

Ces formules ont été conçues pour l'uniadditionneur et se sont montrées utilisables sans modification pour le registre simulant la mémoire. Au départ, différents types de bascules bistables ont été envisagées. (figure 1) Désirant une certaine rapidité, différentes voies s'ouvraient. Les bistables à diode tunnel semblaient possibles, des montages diviseurs de fréquence (7)(8) étant signalés, ainsi que des montages auxiliaires (9) et d'autres réalisant la somme (10) de positions binaires, avec quelques difficultés pour le report. Cependant la conversion de tels montages en bistables que l'on puisse attaquer en diviseur de fréquence et latéralement (inscription de 1,



$$\begin{aligned}
 & |p_1| < |p_2| < |p_3| < |p_4| \\
 & |v_1| > |v_2| > |v_3| > |v_4| \\
 & V_{d1} \approx \frac{1}{2} V_{d2} \approx \frac{1}{4} V_{d3} \approx \frac{1}{4} V_{d4}
 \end{aligned}$$



remise à zéro) s'avérerait difficile. S'il existe une méthode pour réduire une décade à un système à 4 diodes tunnel, celle-ci, se basant sur un tri délicat, devient peu praticable lorsqu'il s'agit de réaliser 5 décades (surtout, elle se prête mieux au comptage qu'à l'addition (11)).

Enfin, disposer de sorties complémentaires était nécessaire, pour pouvoir élaborer des expressions logiques telles que $C_2 = a.1.\overline{8}$ ou $C_{10} = a.1.8$ si l'on individualisait les bistables.

De ce point de vue, un montage utilisant une diode tunnel comme élément bistable et deux transistors de lecture (12) a été envisagé, dont la rapidité était très intéressante. Ses sorties n'étaient pas entièrement symétriques et insuffisantes pour la mémoire (13). Le montage de V. RADEKA (figure 2) utilisait déjà deux transistors et une diode tunnel. Pour l'adapter à notre problème, nous aurions dû augmenter la résistance de collecteur pour obtenir un signal suffisant en tension, et utiliser deux transistors supplémentaires montés en collecteur commun pour pouvoir fournir une puissance de sortie convenable.

La rapidité en aurait été assez largement diminuée. Enfin, ce montage exige une entrée élevée (commutation de 1 V dans 50 Ω) et de nombreuses diodes (logique de courant) indiquées comme rapides donc onéreuses. La légère dissymétrie des sorties due à la polarisation d'un transistor, la nécessité d'avoir un assez grand nombre d'éléments de circuits d'excellente qualité, ont poussé à se rabattre sur des solutions exigeant uniquement des transistors qui pouvaient sembler finalement plus simples à mettre en oeuvre.

Les circuits à transistors à haute performance (14)(15) au point de vue fréquence, fournissent des signaux de faible amplitude (environ 1 V) donc insuffisants, et exigent des transistors ayant un produit gain bande passante élevée : 1000 MHz au moins (15), ou des diodes très rapides (14). D'autre part, des diodes Zener sont utilisées dans les circuits de couplage de tels bistables. (14)(15)(16).

Variante possible

Attaque en diviseur et attaques latérales:
mise à un, remise à zéro

1 diode tunnel
4 transistors rapides
8 diodes rapides

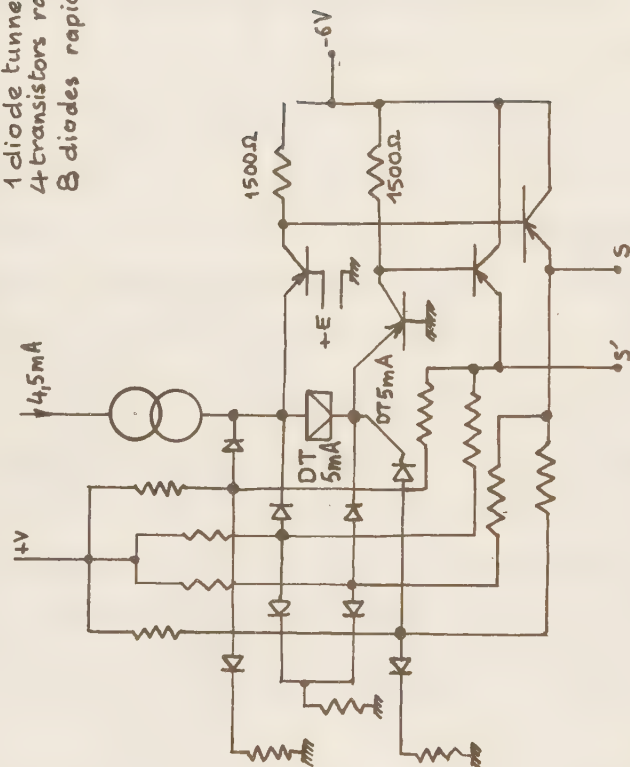
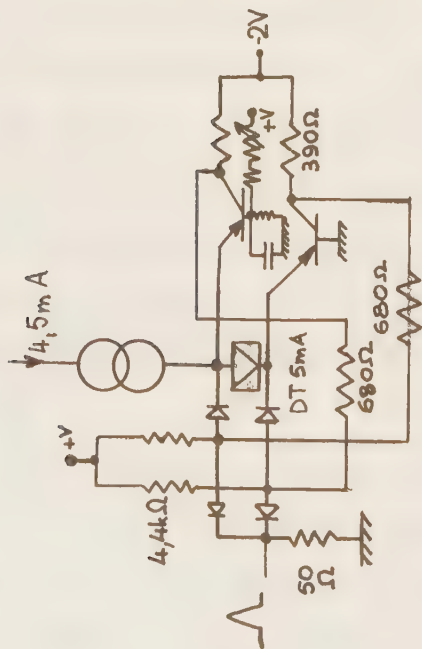


Schéma de base



bistable diviseur de
fréquence [I]

Rapidité de commutation $\Rightarrow$ diode tunnel à faible courant $\Rightarrow$ grandes
résistances de collecteur $\Rightarrow$ transistors lents

Chapitre 6 Fig2

2 - Un montage classique

La réalisation de l'uniadditionneur exigeant à priori celle de 20 bistables sans compter ceux de la mémoire d'essai, on s'est rabattu sur la solution la plus classique que nous avons alors essayé d'améliorer par étapes.

Nous partons donc du schéma usuel d'un bistable à transistors (figure 3 a), lequel est assez vite limité en fréquence d'attaque, ainsi que le montre une analyse détaillée. Or, le problème des limitations de fréquence dues aux effets transitoires des signaux larges sur les transistors peut être résolu en empêchant la saturation du transistor passant (17)(18). Le produit gain-bande passante moyen étant augmenté (14). Une méthode simple pour empêcher la saturation est de concevoir le circuit bistable de telle façon que, dans un état stable, un transistor soit bloqué, tandis que l'autre travaille dans sa région normale (linéaire) de fonctionnement. Il est rappelé que, dans ces conditions, la stabilité en régime statique du bistable est détériorée ; un montage avec résistance commune dans les émetteurs peut être utilisé avantageusement pour assurer partiellement la stabilisation thermique (16)(19)(20)(21). Dans ces conditions, on peut espérer s'approcher de la fréquence limite théorique de fonctionnement : $f_{\max} \approx \frac{f_T}{\sqrt{h_{21e}}}$ (17)(18)(6).

Un blocage trop brutal peut être atténué (et donc le temps de retard réduit) en montant une diode en tête bêche avec les jonctions émetteur-base (21). La tension inverse de la jonction est ainsi limitée à la tension directe de cette diode, soit ici 500 mV environ.

La capacité C_2 qui pourrait améliorer les transistors, est ici rendue minimum pour éviter que l'interaction avec les réseaux RC collecteur-base ne provoque l'oscillation du montage. Une valeur C_2 acceptable est donnée par $C_e \sim \frac{2}{R_e f}$ (21). En effet, ce bistable utilise deux couplages collecteur-

base et un couplage par l'émetteur ; deux couplages suffisent et, le troisiè-

me étant surabondant, le montage est dit dégénéré. La minimisation de C_e revient à dire que l'on construit ce bistable par aménagement d'un commutateur de courant, idée de H.S. YOURKE (2)(16).

Un montage bistable conforme aux principes énoncés ci-dessus est indiqué (figure 3 b) analysons le.

On a adopté un ordre de grandeur des résistances assez bas et l'examen des courbes $f_{(t)}(I_c)$ indique qu'en général le produit gain-bande passante croît quand le courant de collecteur croît. Ainsi, si toutes les résistances étaient par exemple 5 fois plus grandes, le comportement serait identique, sauf que f_T serait en moyenne plus faible, donc le transitoire moins rapide.

Les résistances de 3,3 k Ω et 2,7 k Ω assurent la non saturation du transistor passant, le rapport 680 Ω / 470 Ω étant fixé par les niveaux logiques demandés (13).

3 - Méthode de vérification (saturation - non saturation)

Vérifier la saturation ou la non saturation de montages comportant un couplage par l'émetteur s'est avéré particulièrement délicat, aussi avons nous été appelé à développer la méthode graphique suivante.

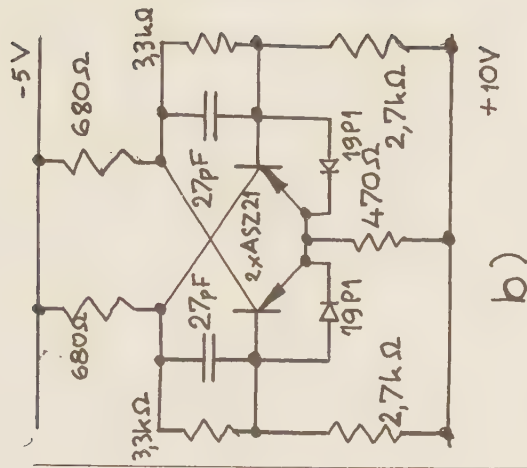
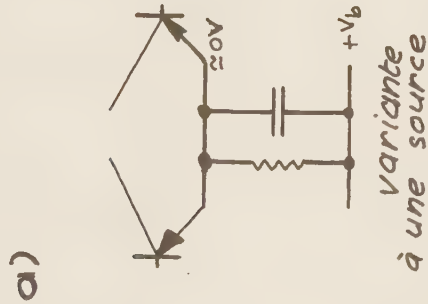
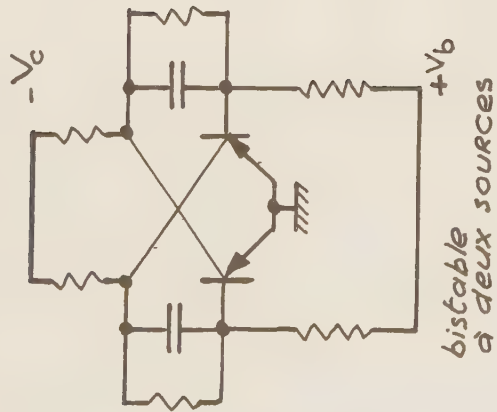
Principe - Nous considérons tout d'abord le courant continu de base (i_1) en régime statique comme indépendant du courant collecteur (i_2) du même transistor. Dans le plan $i_2(i_1)$ nous lions i_2 et i_1 dans la maille émetteur-base et polarisation, dans la maille collecteur-émetteur et alimentations, et nous surimposons les données concernant le transistor que fournit le constructeur. Nous discutons des résultats suivant le régionnement du plan.

Par exemple, dans le circuit schématisé (figure 3 c), nous avons $U \geq (R_c + R_e) i_2 + R_e i_1 + V_{cs}$; nous traçons $U = (R_c + R_e) i_2 + R_e i_1 + V_{cs}$ droite dans le plan $i_2(i_1)$. Le fonctionnement du transistor est représenté par tous les points inférieurs à cette droite (0,0) satisfaisant à la condition.

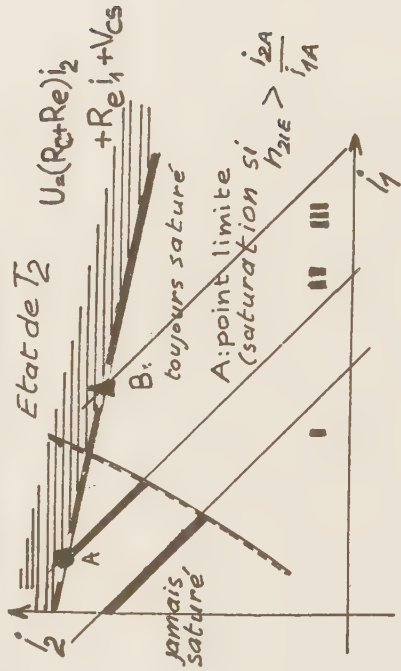
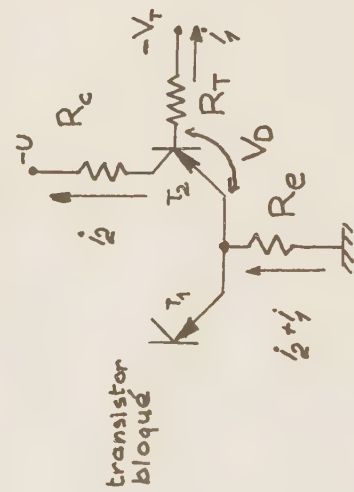
Nous avons aussi :

$$V_T = V_D + (R_T + R_e) L_1 + R_e L_2$$

Chapitre 6 - Fig3



c) analyse des bistables à résistance d'émetteur



où V_D représente la chute de tension dans la jonction émetteur base.

Cette condition est représentée par une droite dont nous donnons trois positions types (I)(II)(III) (figure 3 c).

Enfin, nous traçons une courbe i_2 (i_1) extraite des caractéristiques du transistor : par exemple, la courbe donnant le gain minimum en fonction de L_2 , nous fournit i_1 maximum en fonction de L_2 et les points de fonctionnement linéaire du transistor se situent en haut et à gauche de cette courbe.

Une droite (I) montre que, quel que soit le transistor, le système ne peut pas être saturé, i_2 rendu possible par le circuit de base restant toujours insuffisant, un réseau de droites parallèles à la droite U pouvant donner les différentes tensions V_{CE} . Les points de fonctionnement sont sur la partie renforcée.

Une droite (II) correspond à un cas douteux. Les transistors ayant un gain plus grand que $\frac{i_2}{i_1}$ calculé en A seront saturés, ceux ayant un gain inférieur seront seulement passant. Le lieu des points de fonctionnement distingue ces deux cas : segment pour les gains faibles, point A pour l'ensemble des grands gains. L'étude du gain en A permet, à vue, d'apprécier si 1 %, 50 % ou 95 % des montages utilisant le transistor dont les caractéristiques ont été reportées seront saturés ou seulement passant.

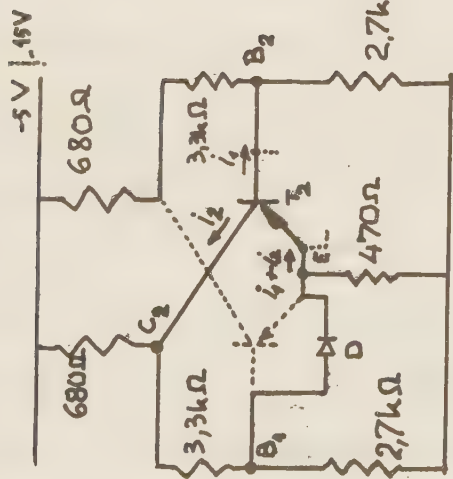
La droite (III) indique que tous les transistors seront saturés et le lieu des points de fonctionnement se réduit à B, intersection avec la droite

$$U = (R_c + R_e) i_2 + R_e i_1 + V_{ce}$$

Appliquons ce traitement au circuit que nous proposons, le transistor utilisé étant un ASZ 21, fournissant une valeur de f_T suffisante.

Pour cela, supposons le transistor de gauche bloqué ; dès que $i_2 > 2 \text{ mA}$ on peut admettre que la diode de limitation fonctionne, en faisant abstraction de I_{co} (figure 4).

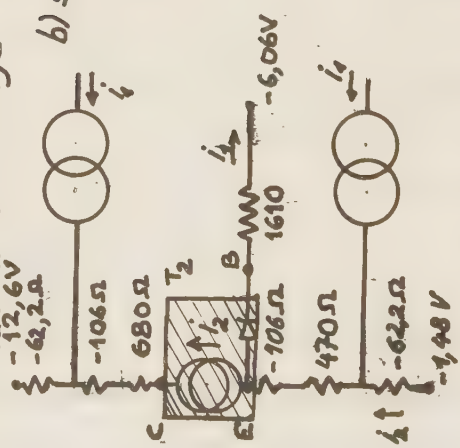
L'équation :



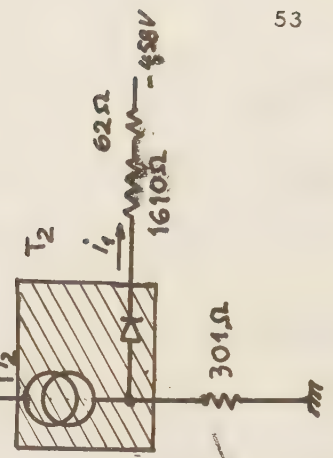
Chapitre 6 - fig4

a) Schéma à analyser

D : diode de limitation du blocage



b) schéma équivalent



c) schéma équivalent final discuté (fig 5) suivant la méthode graphique

$U = (R_c + R_e) i_2 + R_e i_1 + V_{cs}$ est remplacée ici par :

$$15 = 680 (i_2 + i_3) + 470 (i_2 + i_1 - i_4) + V_{ce}$$

$$15 = 6680 i_3 + 680 i_2 + 2700 i_4$$

$$2700 (i_3 + i_4) + 0,5 + 470 (i_4 - i_1 - i_2) = 0$$

Nous obtenons :

$$- 470 i_4 = 1,48 - 106,3 (i_1 + i_2) - 62 i_2$$

qui intervient dans l'émetteur

$$\text{ET : } 680 i_3 = 2,40 - 105,6 i_2 - 62,2 (i_1 + i_2)$$

Tenant compte de ce que :

$V_E = 470 (i_2 + i_1 - i_4)$ nous adoptons le schéma équivalent 4 b, ou mieux le schéma 4 c identique.

Ce qui nous fournit :

$$11,1 = 301 (i_1 + i_2) + 522 i_2 + V_{CE} \text{ pour le circuit émetteur collecteur}$$

$$\text{et : } 4,58 - 62 i_1 = V_{BE} + 1610 i_1 + 301 (i_1 + i_2)$$

$$\text{soit : } 4,58 = V_{BE} + 1973 i_1 + 301 i_2 \text{ pour le circuit émetteur base.}$$

Traisons la première équation ; nous avons choisi un transistor ASZ 21 à cause de sa fréquence de 300 MHz pour un gain unité ; $0 < V_{cs} < 350 \text{ mv}$; d'autre part, $h_{21E} \geq 30$ si $I_c = 10 \text{ mA}$ et $h_{21E} \geq 50$ si $I_c = 30 \text{ mA}$.

$$\text{Alors : } 11,1 = 301 i_1 + 813 i_2 \quad (\text{A})$$

$$10,75 = 301 i_1 + 813 i_2 \quad (\text{B})$$

sont deux droites limitées du circuit collecteur.

De même $250 \text{ mv} < V_{BE} < 500 \text{ mV}$ d'où les deux équations extrêmes du circuit de base :

$$4,33 = 1973 i_1 + 301 i_2 \quad (\text{C})$$

$$4,08 = 1973 i_1 + 301 i_2 \quad (\text{D})$$

L'interprétation du graphique, quoique délicate (car le système est mal orthogonalisé) montre cependant que dans le cas le plus défavorable :

$V_{cs} = 350$ mV et $V_{BE} = 250$ mV, la saturation ne se produit que si, pour $I_c = 13,1$ mA, $h_{21E} \geq \frac{13,1}{0,1925} = 68$, coïncidence peu probable. (figure 5).

On voit de même que si l'on place dans le cas où $V_{BE} = 500$ mV et $V_{cs} = 0$, le transistor ne peut être saturé quel que soit son gain. On peut donc admettre que le transistor passant n'est jamais saturé.

Dans ces conditions, il est intéressant de calculer le facteur de stabilité thermique du transistor passant. On a :

$$S = \frac{R_e + R_b}{R_e + R_b(1 - \alpha)} \quad (21) \text{ avec ici } R_e = 301 \, \Omega \quad R_b = 1672 \, \Omega$$

$$S = \frac{1973}{301 + 1672 \times \frac{1}{100}} = \frac{1973}{318} = 6,2$$

pour un gain de 100

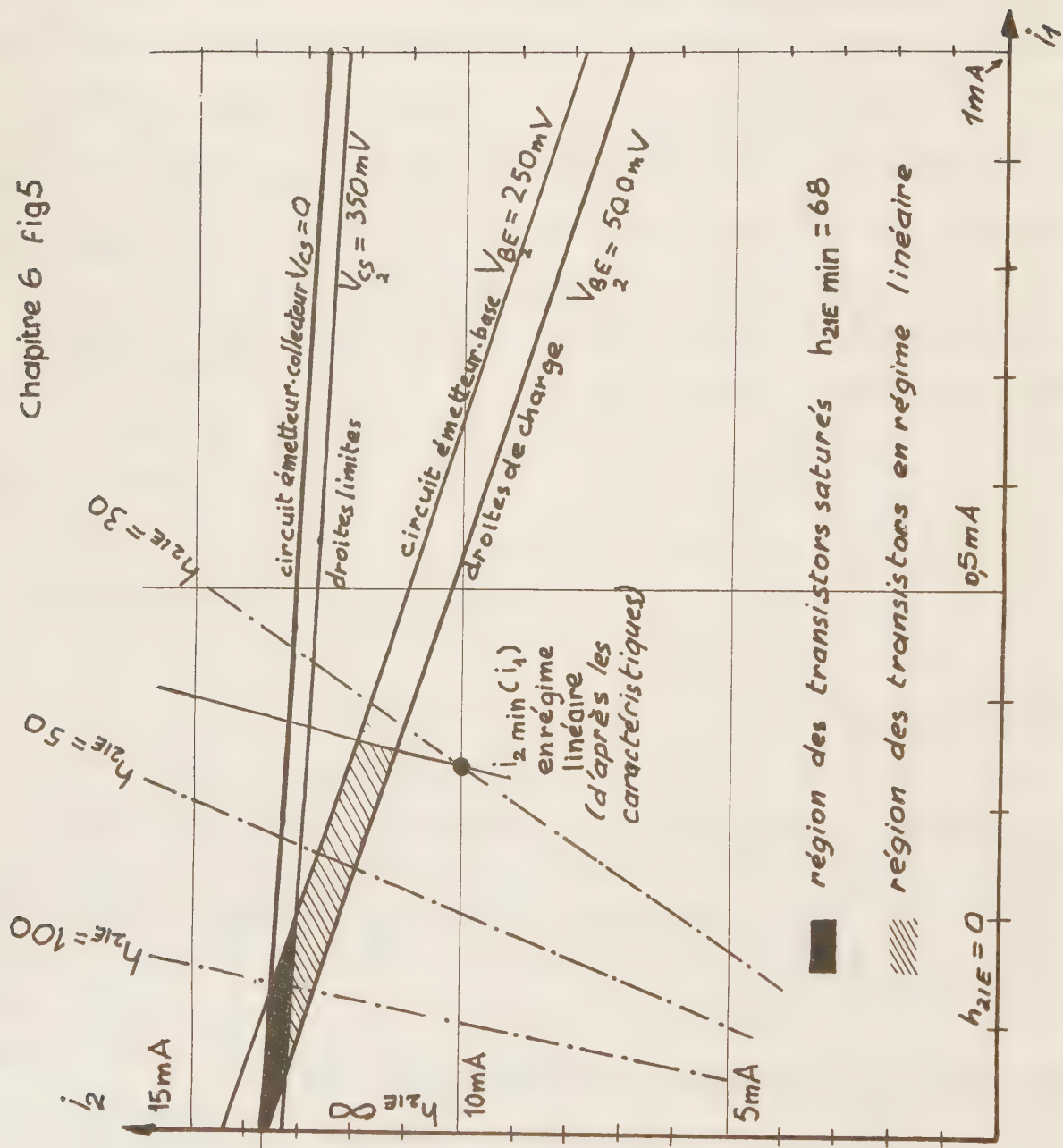
et $S = 5,5$ pour un gain de 30, ce qui semble suffisant.

On notera d'autre part que le courant I_{co} du transistor bloqué qui est nettement inférieur à $100 \, \mu A$ peut toujours être écoulé par la résistance de $2,7 \, k \, \Omega$, l'état de conduction de la diode de limitation s'ajustant à chaque valeur de I_{co} .

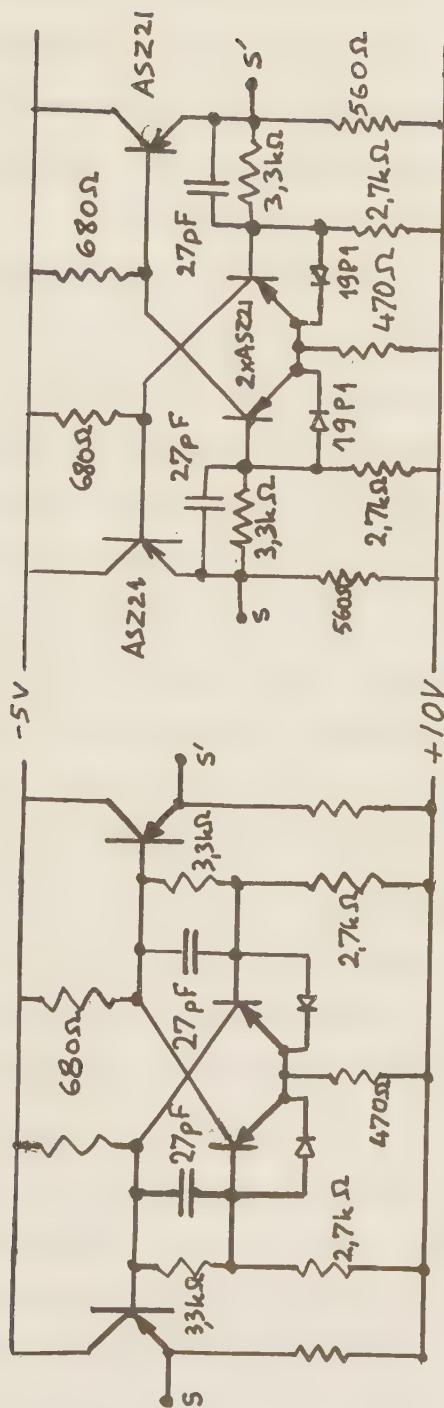
4 - Introduction de 2 transistors supplémentaires (figure 6)

La nécessité pour un bistable de commander soit des portes de la logique d'addition, soit des portes de transfert dans la mémoire impose une sortie basse impédance. Pour ne pas introduire une trop grande dispersion dans les charges de collecteur d'un bistable à l'autre, on est amené à flanquer chaque bistable d'un étage collecteur commun de part et d'autre. Ces étages à émetteur chargé sont pilotés sous une assez basse impédance obligatoirement inférieure à $680 \, \Omega$. Dans ces conditions, on sait que de tels

Chapitre 6 Fig5



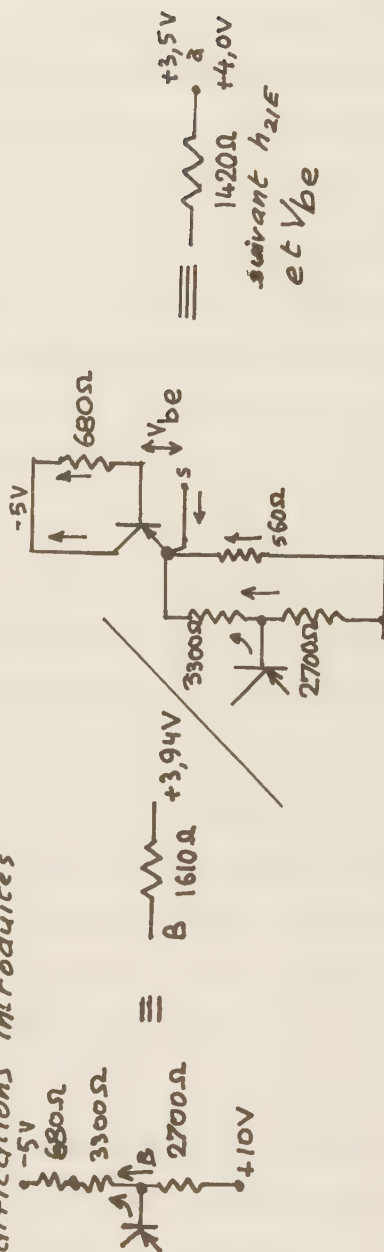
Chapitre 6 - fig 6



a) sorties basse impédance

b) système retenu: les sorties basse impédance améliorent la réponse transitoire

c) validité de l'étude graphique: modifications introduites



amplificateurs de puissance sont rapides (22) (figure 6 a). De plus, ils n'altèrent pas sensiblement le fonctionnement du bistable. Cependant, divers auteurs (6)(16)(20)(23)(24) signalent un montage peu différent, aussi satisfaisant au point de vue de la puissance de sortie, et davantage pour la rapidité (figure 6 b).

Un des principaux inconvénients du bistable indiqué (figure 6 a) est que le circuit de collecteur, à relativement haute impédance, est chargé par un circuit de base de relativement faible impédance, ce qui restreint les possibilités de déclenchement et d'opération en haute fréquence (20)(23)(24)(25). En effet, lorsqu'un transistor est passant et que l'autre vient d'être bloqué, le potentiel du collecteur de ce dernier évolue avec comme constante de temps, le produit résistance collecteur x capacité de couplage. Tandis que dans le schéma 6 b, c'est le produit : résistance de sortie de l'étage collecteur commun x capacité, qui intervient, notablement plus faible (22)(25). Les performances transitoires sont donc améliorées (20). Elles sont d'ailleurs d'autant meilleures que les étages collecteur commun sont plus chargés ; cependant, on est limité rapidement dans cette voie par la dissipation maximum possible pour les transistors de sortie, des ASZ 21 également ; ceux-ci fonctionnent toujours en régime linéaire, leur tenue en tension est largement suffisante. Les niveaux logiques de sortie sont : - 4 V et 4 V environ.

Le transistor passant du bistable n'est toujours pas saturé. En effet, si sa base devrait être plus négative du fait que les 680 placés dans le collecteur du transistor bloqué ne sont plus parcourus par un courant aussi important, une chute de tension de 500 mV due à la jonction émetteur-base du transistor de couplage a été introduite.

5 - Modes d'attaque (figure 7)

Il existe deux modes principaux d'attaque : attaque sur les collecteurs des transistors du bistable ou sur leurs bases. L'attaque des collec-

teurs est une attaque spécifique des hautes fréquences mais elle exige une puissance relativement élevée. D'autre part, la transmission aux portes à travers les étages collecteur commun serait quasi immédiate, ce qui n'est pas souhaitable. En effet, nous avons indiqué (ch. II-2) que l'autorisation de passage pour une impulsion découle de l'état des bascules antérieures - ment à l'arrivée de cette impulsion. Les impulsions n'étant pas infiniment brèves, on court le risque s'il n'existe pas de retard notable entre entrée des bascules et portes de voir l'état des portes changer, du fait de basculements prématurés, avant que l'impulsion ait fini de passer. Ceci risque évidemment de multiplier les déclenchements incomplets et de rendre le fonctionnement des bascules incontrôlable.

On préfère donc envoyer les impulsions d'attaque sur les bases des transistors centraux, l'échelon de tension provoqué par cette impulsion ne se produisant à la sortie qu'après le changement d'état de deux transistors au moins.

Nous distinguons l'attaque en diviseur qui utilise un ensemble de trois diodes de routage convenablement polarisées, et les attaques latérales (remise à zéro, mise à un, inscription parallèle, etc...) _ Ces attaques latérales sont faites par des capacités de liaison qui sont reliées à l'anode de diodes à points légèrement prépolarisées dans le sens direct par des résistances de $56\text{ k}\Omega$, afin de ne pas prendre une hauteur d'impulsion correspondant à la tension de seuil de ces diodes. De plus, les courants que fournissent ces résistances concourent légèrement à la désaturation du transistor passant, rendant encore moins possible le régime saturé que nous avons rejeté comme trop lent. Les dispositifs d'attaque sont représentés (figure 7). Les diodes adoptées au départ sont des 19 P1.

A) Les portes (figures 8)

La conception de l'uniadditionneur comme celle de la mémoire exige l'utilisation de portes ET positives. Chaque bascule devant commander

jusqu'à 4 portes, il est intéressant d'avoir des portes rapides, consommant un faible courant.

Nous avons adopté la solution qui semble la plus pratique : chaque signal logique attaque la base d'un transistor monté en collecteur commun, le produit est obtenu sur une charge d'émetteur commune à tous les transistors de la porte. Ce type de montage :

- a) consomme peu de courant amont et donc charge légèrement les bascules
- b) ne produit pas d'inversion, la fonction ET est donc facilement remplie
- c) reste cependant rapide (22)

Le transistor dont la base est la plus négative conduit le plus.

Il suffit qu'une base soit négative pour que la sortie soit négative.

Il faut que toutes les bases soient positives pour que la sortie soit positive ; affectant le "1" aux tensions positives et la sortie étant identique à l'entrée à 500 mV près environ, on a bien réalisé un élément ET.

Ces portes ont cependant une particularité : l'écart entre niveaux logiques des bascules atteint 8 V, tandis que l'ordre d'addition peut être représenté symboliquement par -4 V pour le 0 et $+0$ V pour le 1. Si nous supposons que nous avons une porte composée de 3 transistors dont un attaqué par un signal du programmeur, nous avons le tableau symbolique de la figure 9.

Les transistors étant, sauf un, mis en état d'une part, et le dernier recevant ensuite, séparément, l'ordre, il apparaît que c'est ce transistor seul qui définit la tension de sortie ; et la différence entre les signaux logiques ($0 < +4$ V) assure que l'ordre d'addition, s'il doit passer, est transmis par un transistor monté en collecteur commun travaillant en régime linéaire, et attaquant le circuit de base du bistable sous très basse impédance.

Chapitre 6

fig 7 : Modes d'attaque dubistable

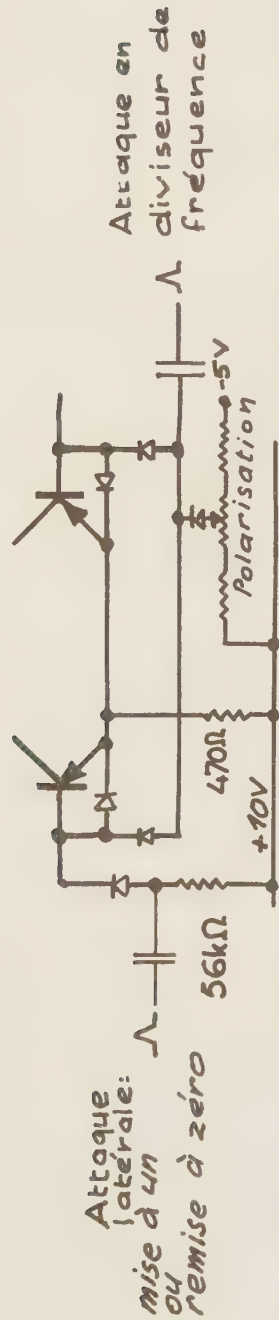


Fig 8

Schéma des portes employées

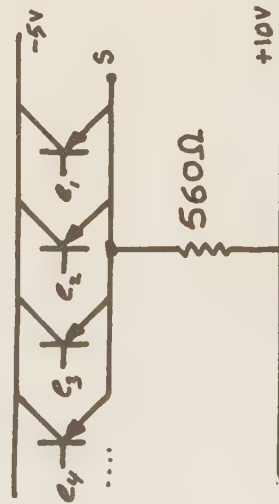


fig 9

Portes ET positives
tension de sortie suivant les
tensions d'entrée.

tensions de condition	-4	+4	-4	+4	tension programmeur première variable
-4	-3,5	-3,5	-3,5	-3,5	
+4	-3,5	-3,5	-3,5	+0,5	

seconde variable

Tous les transistors sont des AZS 21, sauf pour l'élaboration de la retenue décimale, où le transistor qui reçoit sur sa base l'ordre d'addition inférieur est un 2N 1195. Celui-ci assure l'élaboration la plus rapide possible de la retenue décimale, s'il y lieu ($f_T = 1000 \text{ MHz}$).

La résistance de charge de 560Ω , sans provoquer la dissipation d'une trop grande puissance, assure un temps de descente correct pour sa valeur relativement faible.

Des portes base commune auraient chargé plus lourdement les bistables et auraient provoqué une inversion de phase ainsi qu'une sortie sous impédance relativement élevée.

B) Réalisation (figure 10) (figure 11)

La mémoire à transistors et l'uniadditionneur ont fait chacun l'objet d'une réalisation en circuits imprimés.

Le schéma de l'uniadditionneur est identique à celui qu'on peut déduire du schéma logique, les circuits étant ceux discutés ci-dessus. La mémoire également, sauf que l'on a parfois introduit dans les bases des transistors des portes commandées par le programmeur des groupes RC ($R = 680 \Omega$ $C = 47 \text{ pF}$) en vue de réajuster les niveaux continus sur les bases de chaque transistor ; en fait, le fonctionnement de ces portes n'est pas critique par rapport à cette question et l'on peut envisager la suppression de ces groupes dans le cas du montage de mémoires identiques.

La mise au point a parfois montré l'insuffisance du découplage des alimentations prévues pour le premier exemplaire imprimé. Des condensateurs supplémentaires ont donc été installés, dont l'emplacement peut être définitivement prévu pour les exemplaires suivants ; il suffit de corriger d'après la 1ère expérience le calque servant au tirage photographique des plaques sensibilisées spéciales.

Eventuellement des selfs de quelques nano-henrys ont été rajoutées aux bascules bistables, introduisant de faibles corrections discutées au chapitre essais.

CHAPITRE VII

LE PROGRAMMEUR

Afin de nous rapprocher le plus possible des conditions futures d'exploitation de l'uniadditionneur compris dans un plus vaste ensemble, le programmeur qui a été réalisé n'est qu'une version rudimentaire d'un programmeur permettant le fonctionnement de l'uniadditionneur avec une mémoire à tores. Le montage élaboré par Y.MARTINEZ (13) a été repris dans son principe : le programmeur comprend une horloge envoyant une impulsion toutes les 300 ns environ dans une ligne à retard à constantes localisées, des prises situées en divers endroits et attaquent soit un monostable, soit un amplificateur permettant d'obtenir des impulsions ayant toutes 300 ns de périodicité, mais décalées dans le temps. La première est réglable.

Ce montage se distingue de celui signalé en référence par :

a) un montage pilote de conception différente, de plus haute fréquence de récurrence.

b) une ligne à retard de plus haute impédance caractéristique.

Mais les organes de sortie sont, ce qui est indispensable, identiques.

La plus haute fréquence de récurrence est justifiée, par la nécessité d'obtenir des oscillogrammes de contrôle facilement observables. Ceux-ci, ainsi qu'il est expliqué plus loin, ne se reproduisent généralement que de 10 en 10 périodes du programme et doivent cependant permettre une identification facile des phases de fonctionnement. Nous exploitons ici le faible temps né-

cessaire pour lire ou écrire dans une mémoire à transistors, qui nous permet de supprimer environ 200 ns par durée de cycle.

Par contre, la lecture de la mémoire à transistor n'étant pas destructive, nous ajoutons l'élaboration d'un ordre "Remise à zéro de la mémoire" (RZM) qui ne sera pas nécessaire dans le fonctionnement avec une mémoire à tores.

1 - L'horloge (figure 1)

L'oscillateur est un astable à émetteurs couplés par capacité (26). Les transistors utilisés sont un ASZ 21 monté en base commune et un 2N 1195 monté en collecteur commun pour l'oscillateur. Supposons que le transistor ASZ 21 conduise, alors l'autre est bloqué car son émetteur est trop négatif. La capacité de 120 pF se charge à travers la résistance de 1000 Ω jusqu'à ce que le transistor 2N 1195 tende à conduire ; alors l'autre transistor reçoit dans son émetteur un moindre courant, par suite son collecteur devient plus négatif accélérant la conduction du 2N 1195. Le potentiel de l'émetteur de celui-ci tend à devenir de plus en plus négatif et l'ASZ 21 poursuit sa commutation. On obtient finalement un nouvel état où l'ASZ 21 est bloqué, son émetteur trop négatif, et le 2N 1195 conducteur. Mais la capacité de 120 pF se charge par la résistance de 680 Ω jusqu'à permettre la conduction de l'ASZ 21. Alors le potentiel de son collecteur remonte, le courant dans le 2N 1195 se réduit et la capacité de 120 pF facilite une nouvelle commutation de l'ASZ 21.

On remarquera que la charge de collecteur du second transistor n'intervient pas directement dans ce cycle. Ne désirant que des impulsions nous avons donc primitivement placé comme charge de collecteur une ligne bifilaire d'impédance caractéristique 300, court-circuitée à son autre extrémité (longueur 60 cm environ). Les impulsions obtenues, importantes (environ 8 V d'amplitude) ont été améliorées par l'adjonction d'une résistance de 330 Ω en parallèle (quasi adaptation). Dans ces conditions on obtient une impulsion positive et une impulsion négative par période, chacune cor-

respondant à une commutation.

Le transistor ASZ 21 n'est jamais saturé et la résistance de 820Ω est suffisamment faible pour provoquer des commutations rapides du transistor 2N 1195, donc des impulsions rapides.

Ensuite l'impulsion émise attaque par couplage RC un transistor 2N 1195 suffisamment rapide pour ne pas trop dégrader les commutations, et joue le rôle d'écrêteur et d'inverseur, les sorties du programmeur étant conçues pour traiter des impulsions négatives.

Cet amplificateur est suivi de deux transistors 2N 2258 montés en collecteur commun, qui permettent l'attaque de la ligne à retard, laquelle est bouclée aux deux extrémités sur son impédance caractéristique (environ) pour éviter la production d'ordres parasites.

2 - La ligne à retard

C'est une ligne à constantes localisées permettant de nombreuses prises intermédiaires. Elle est formée d'un cylindre de téflon ($\varnothing$ 10 mm) fileté (pas de 100) sur lequel est bobiné un fil de cuivre ; toutes les 12 spires, une capacité de 220 pF est soudée d'une part à la masse, d'autre part au fil de cuivre. Dans ces conditions l'impédance caractéristique est de 80Ω environ, le retard de 10 ns par cellule, soit environ 130 ns d'un bout à l'autre. Une haute impédance réduit l'énergie à fournir à la ligne et la dissipation du transistor d'attaque, mais rend plus sensible les prises intermédiaires, et augmente le retard par cellule.

3 - Ordre de lecture de la mémoire

Afin de déterminer l'influence d'impulsions que devraient délivrer les amplificateurs de lecture de la mémoire à tore, on élabore l'ordre de lecture de la mémoire à transistors à l'aide d'un monostable ajustable. On sait que cet ordre alimentant des portes ET dans les conditions indiquées ci-dessus (ch.VI,B), les impulsions servant à l'inscription en parallèle

dans le registre lui seront analogues, à 500 mV près.

Afin de ne pas affaiblir exagérément l'impulsion propagée dans la ligne à retard, la prise est faite sous haute impédance. L'impulsion dite "lecture de la mémoire" est délivrée sous basse impédance à l'utilisation. D'où le schéma indiqué (figure 2).

4 - Autres sorties (figure 3)

Celles-ci concernent l'ordre d'addition (a ou $+1$), l'ordre de remise à zéro de la mémoire (RZM) l'ordre de lecture de l'uniadditionneur ou d'inscription dans la mémoire (LA), l'ordre de remise à zéro de l'uniadditionneur (RZA), indifféremment premier ou dernier.

Le montage est un simple amplificateur à prise haute impédance et sortie basse impédance, par cable coaxial de 120Ω . La capacité C vaut, à cause de l'affaiblissement de l'impulsion mère, 220 pF pour l'amplificateur le plus en amont, 330 pF pour les autres.

La réalisation de l'ensemble est analogue à celle du programmeur et d'une décade de l'uniadditionneur.

fig 1: l'horloge

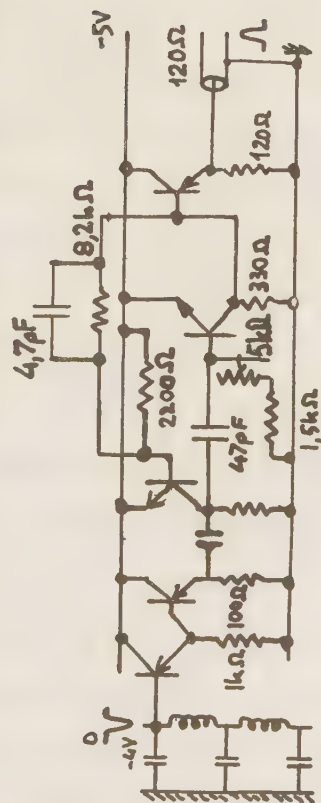
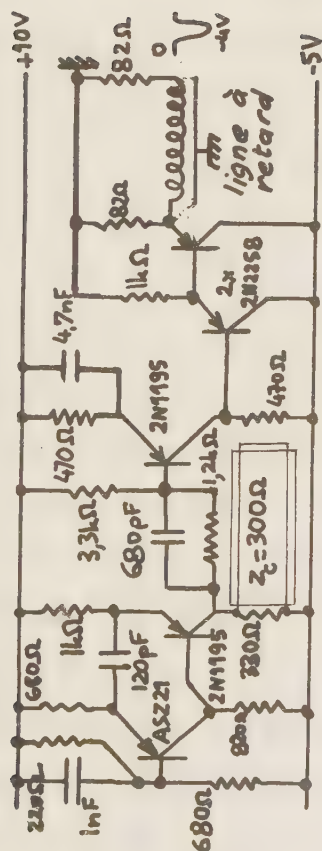


fig 2 : ordre
"Lecture de la
Mémoire" : LM

PNP: 2N2258
NPN: 2N2257

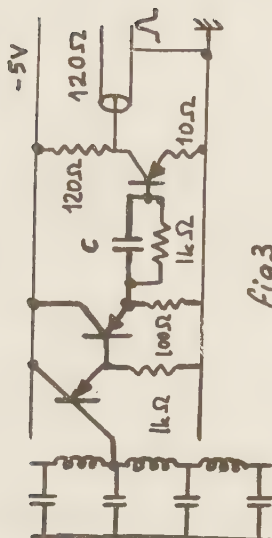


fig 3
autres ordres

+1=a
RZM
LA
RZA
transistors
2N2258

CHAPITRE VIII

ESSAIS1 - L'alimentation

Les essais requièrent une alimentation relativement stable capable de fournir les deux tensions $- 5$ et $+ 10$ V exigées par les circuits.

Pour cela nous avons utilisé l'alimentation dont le schéma est donné (figure 1). Elle fournit une tension de 15 V stabilisée que l'on sépare en deux tensions à l'aide d'un dernier transistor. (figure 1).

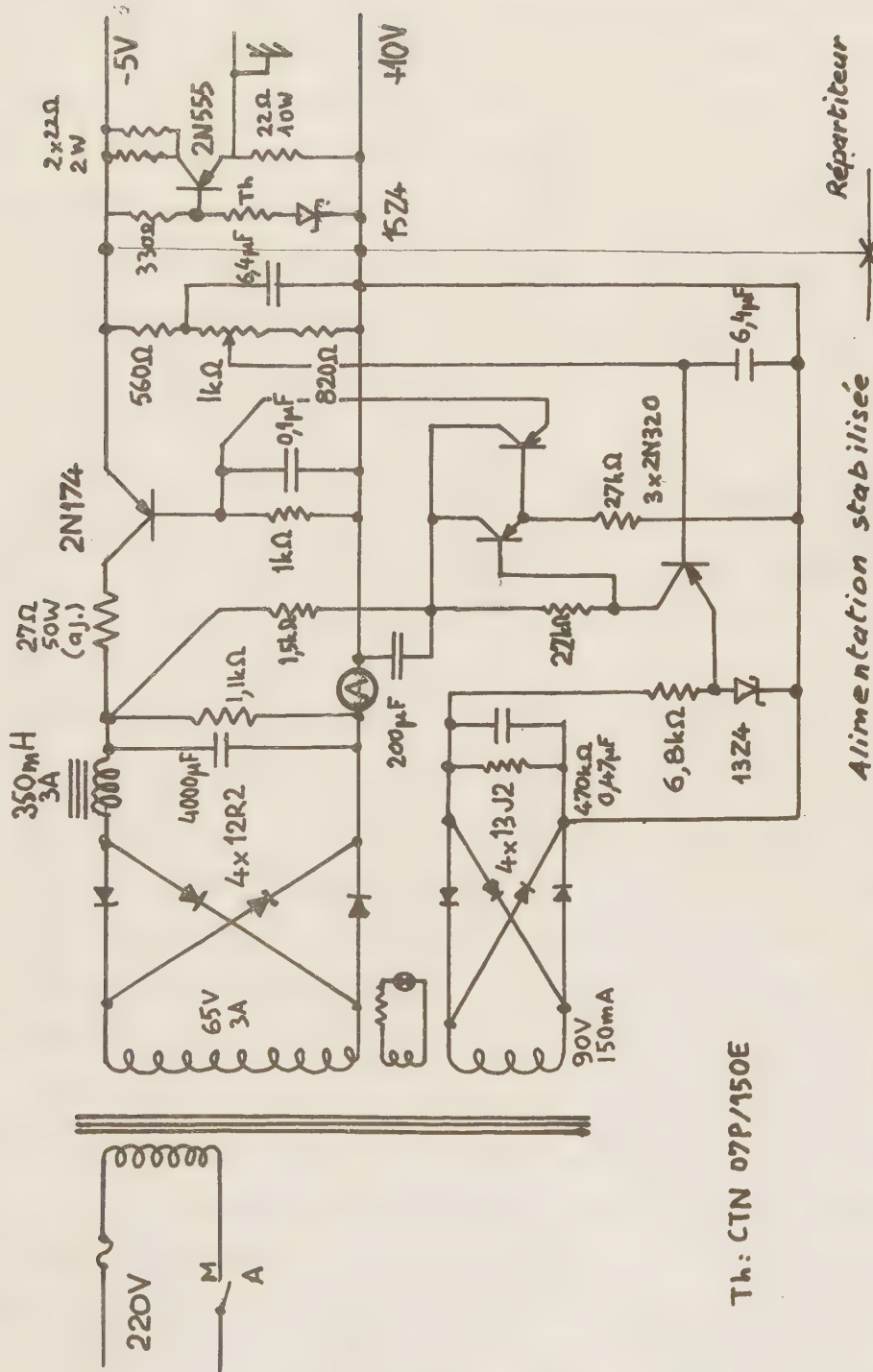
Le principe de l'alimentation 15 V est simple :

On redresse et on filtre par une cellule LC une tension de 65 V (nominale). Un transistor de puissance 2N174, refroidi par une ventilation, assure la régulation série ; la consommation extérieure étant de 1,2 A environ, une résistance de collecteur de 27Ω permet de soulager le transistor. On prend une partie de la tension à réguler que l'on compare à la tension d'une zener 7 V, particulièrement stable. Le transistor comparateur possède une résistance collecteur élevée, à deux fins ; obtenir un grand gain de tension ; ne pas modifier l'état de la Zener quel que soit son état de conduction. Deux transistors montés en collecteur commun permettent d'attaquer le 2N174 avec un niveau suffisant. On doit mettre dans chaque émetteur une résistance suffisante pour éliminer I_{CBO} du transistor suivant.

Des capacités de découplage empêchent l'oscillation du système.

La tension de 15 V est ensuite partagée en deux tensions à l'aide d'un transistor 2N555 alimenté par une tension stabilisée. On amène un

Chapitre 8 - fig1 : Alimentation.



Th: CTN 07P/150E

courant suffisamment grand par une résistance de 22Ω pour qu'une régulation shunt soit possible, la référence de tension est formée par une Zener 15 Z4 polarisée d'environ 10 V. Le courant I_{CBO} du transistor 2N 555 étant important, on ajuste la tension Zener, insuffisante par l'adjonction en série d'une CTN qui fait moins croître la tension de référence lorsque I_{CBO} tend à saturer le transistor de puissance qu'une résistance de même valeur à froid. Ici aussi, une résistance de collecteur dissipe une partie de la puissance.

2 - Essais en compteur (figure 2 et 3)

Cet essai a pour but d'indiquer si l'essai global est possible. On prend la carte uniadditionneur et le programmeur et on transmet l'ordre d'addition.

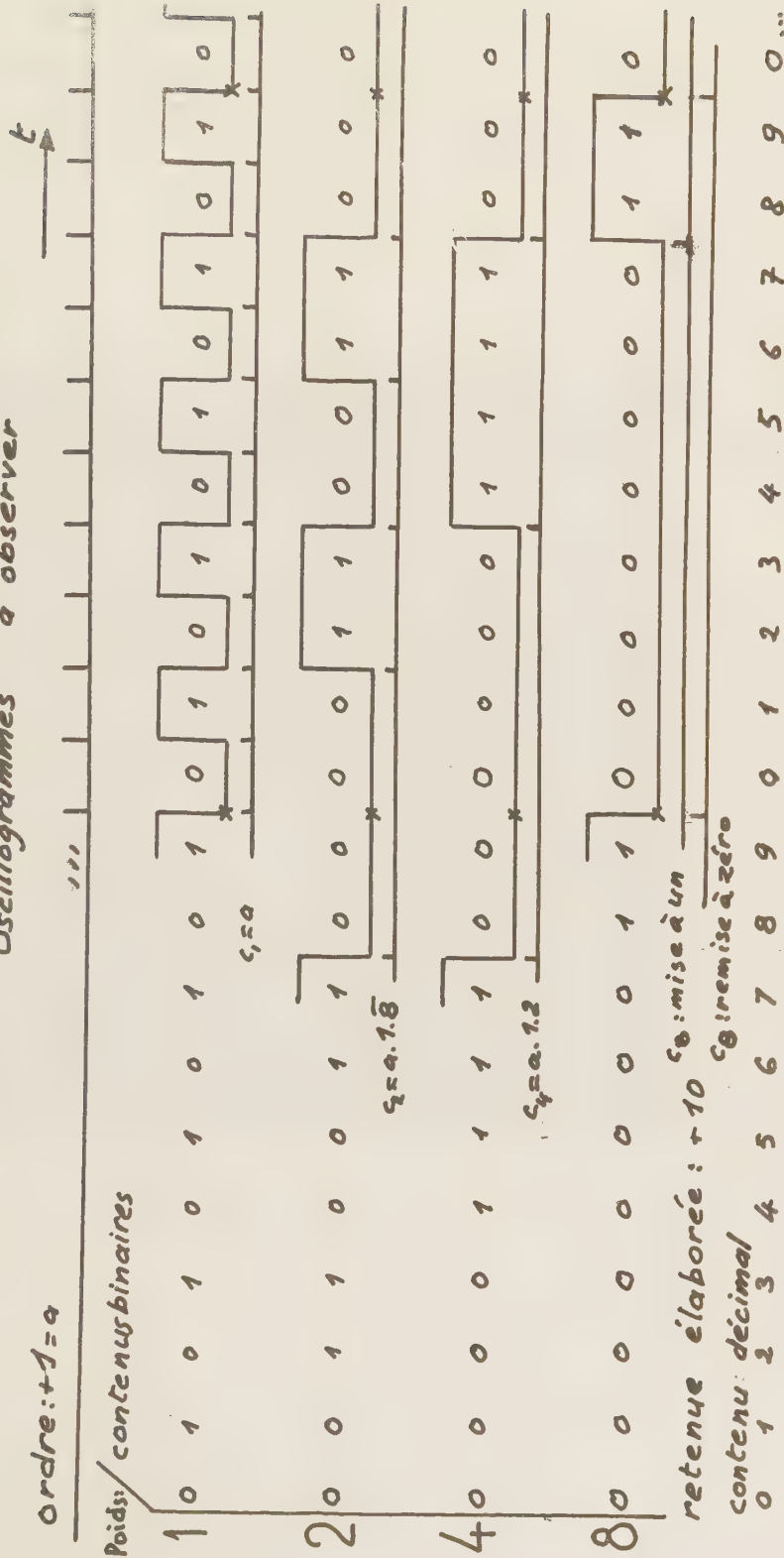
La série des états binaires peut être vérifiée, ainsi que l'éjection d'une impulsion maximum de 10 en 10. L'observation se fait sur les sorties des bistables qui alimentent les portes de la logique d'addition. Le 1 correspond aux tensions les plus positives (+ 4 environ), 0 aux tensions les plus négatives (- 4 environ). On voit (figure 2) que la bascule a est dans chaque état successivement. En dehors de la question de synchronisme, la bascule b est, par dizaine de coups, 4 fois dans l'état 0, 2 fois dans l'état 1, 2 fois dans l'état 0, 2 fois dans l'état 1. La bascule c, 6 fois dans l'état 0, 4 fois dans l'état 1. La bascule d, 8 fois dans l'état 0, 2 fois dans l'état 1. Les ordres d'addition sont représentés dessous.

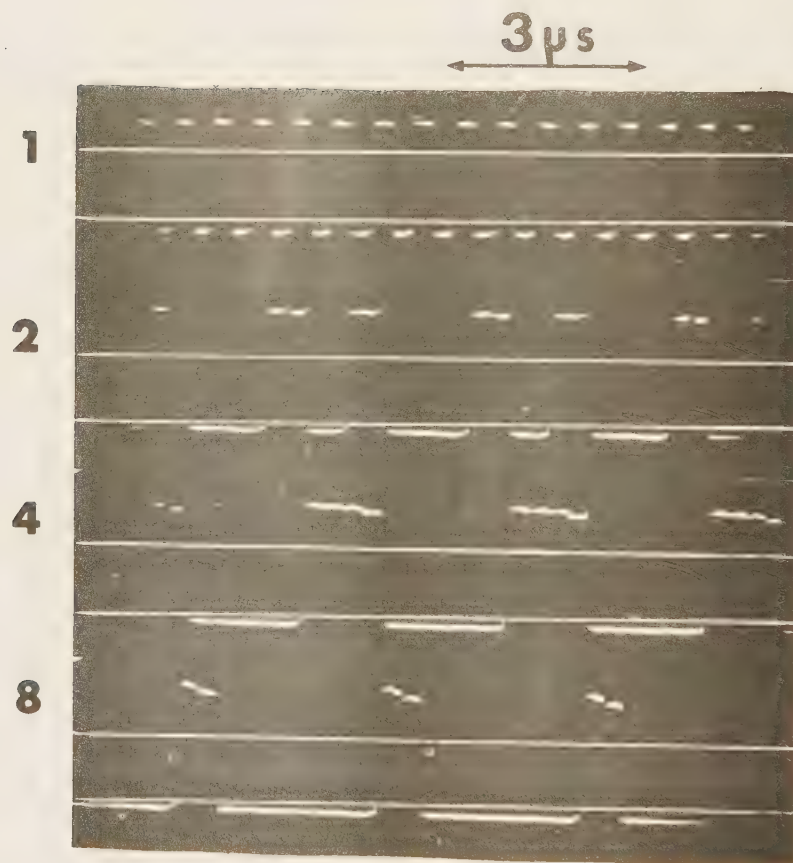
Nous avons vu précédemment qu'il était intéressant d'élaborer au plus vite la retenue décimale ; c'est pourquoi, lors de la réalisation de l'addition, nous avons prévu la porte nécessaire la plus proche du connecteur : la disposition qui en découle fait que la bascule de poids 1 est la plus éloignée du connecteur. Ainsi, les bascules de poids le plus élevé basculent les premières dans une décade, tandis que l'ordre arrive plus tardivement aux bascules de poids les plus bas. Pour ne pas avoir de fonctionnement

Chapitre 8 Fig2

Essais de l'uniadditionneur en compteur:

Oscillogrammes à observer



Ch 8 fig 2**ESSAIS EN COMPTEUR**

défectueux, si le retard de basculement n'est pas suffisant, on est amené à retarder l'élaboration des informations $8, \overline{8}, 4$ etc ... En effet la bascule de poids 2 est commandée par $C_2 = a.1.\overline{8}, 1$ et 8 étant antérieurs aux basculements. On conçoit qu'un basculement trop rapide de la bascule 8 ainsi qu'un léger retard sur le signal a faussé cet ordre. Même si l'on utilise pour retarder des capacités en parallèle sur les résistances de collecteur, les constantes de temps nécessaires restent inférieures à 15 ns et n'altèrent pas le temps de montée des bascules de l'ordre de 35 ns.

Les 3 bascules de poids le plus bas de l'uniadditionneur possèdent une polarisation commune du circuit d'attaque en diviseur.

La dispersion des éléments pouvant rendre une bascule moins sensible que les autres (4) ce défaut peut être atténué par l'adjonction d'une capacité en parallèle sur la résistance d'émetteur des transistors centraux. Aux cadences maxima de fonctionnement, cette capacité C_e peut être faible et l'on se contente souvent de la capacité parasite. Cependant une capacité supplémentaire augmente le gain en régime transitoire ; alors, le fonctionnement du bistable s'éloigne d'un commutateur de courant du type YOURK pour se rapprocher du fonctionnement du bistable à sources de tension.

On a tout d'abord observé un fonctionnement en compteur à l'aide d'impulsions distantes de 300 ns envoyées sur la barre "+ 1". Pour ce faire, le but étant de vérifier le fonctionnement possible des portes, les retards ont été grossièrement ajustés ; capacités de 22 pF en parallèle sur les résistances de collecteur de la bascule de poids 8 (constante de temps de 15 ns), 10 pF sur la résistance de collecteur côté "4" de la bascule 4 et 4, pF côté "4". La première bascule a été rendue plus sensible par la mise en parallèle sur la résistance d'émetteur d'une capacité de 60 pF à 220 pF. L'oscillogramme pouvait être amélioré en ajustant la polarisation de la diode recevant l'impulsion "+8" à l'aide d'une résistance de 100 K reliée au - 5 V. En effet, nous aurons plus souvent des bistables trop sensibles que pas assez (23).

Le comptage s'avère possible, le système pourra donc être essayé en régime séquentiel, dont la complexité le fait rapprocher du régime aléatoire. Car l'essai en compteur n'est pas un essai probant, mais c'est un essai éliminatoire.

3 - Essai de séquence (figures 4 et 5)

On essaie une décade dont la logique a été vérifiée par comptage. On branche conformément au schéma du chapitre V le programmeur, la mémoire, la décade. Tous les ordres sont utilisés.

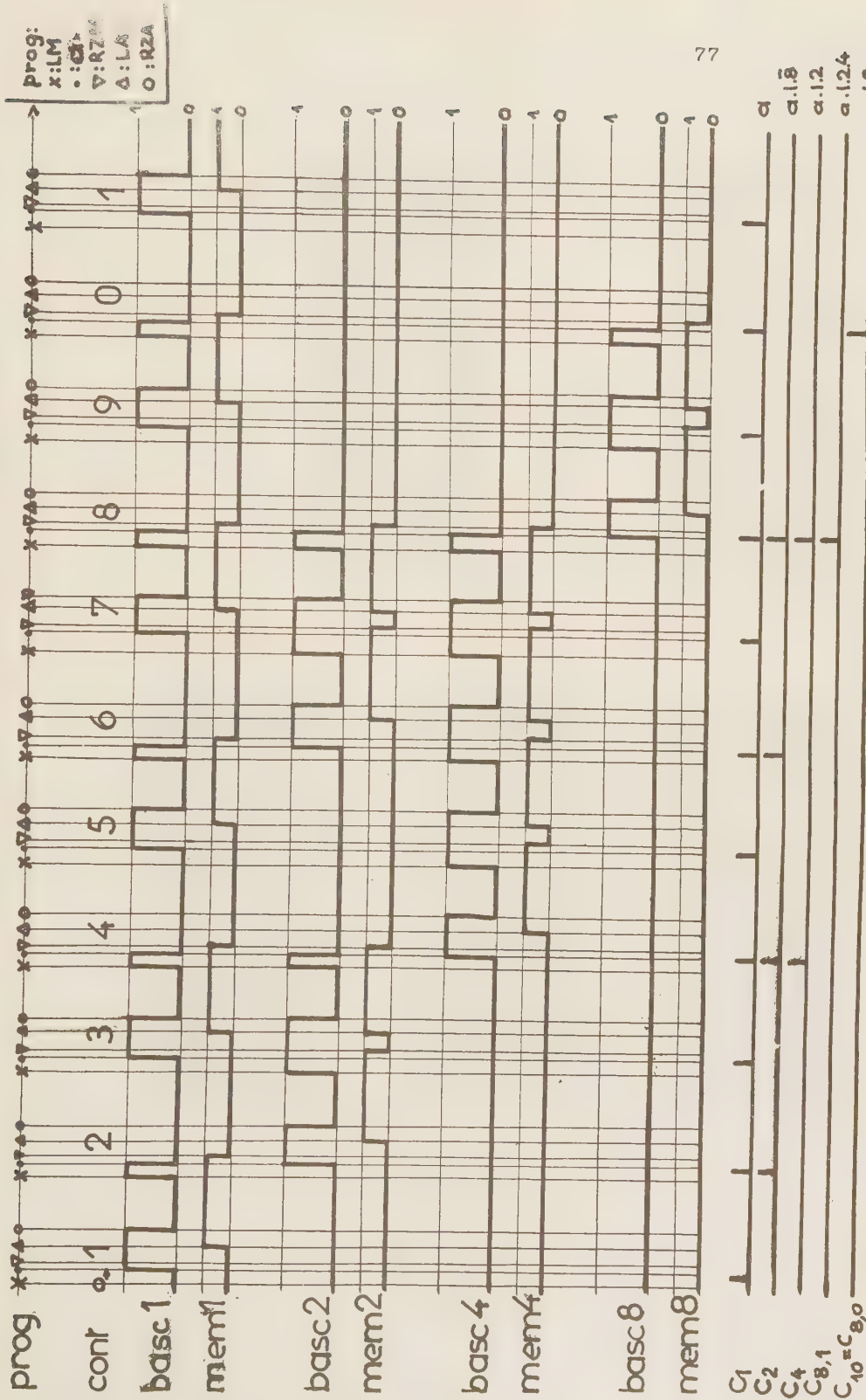
Les oscillogrammes à observer sont prévisibles, le système fonctionne comme s'il n'y avait qu'un canal. Ces oscillogrammes sont observables car périodiques, et correspondent pratiquement à des essais avec un nombre aléatoire. En effet, la périodicité de ces oscillogrammes est de 10 périodes de programmeur, alors qu'environ un sixième de période sépare des basculements en sens opposé. Ces oscillogrammes types vont être établis plus loin.

On remarquera que la complexité des oscillogrammes à observer, qui font intervenir aussi bien l'attaque en diviseur que les attaques latérales des bistables, exclut à priori le fonctionnement de montages dits "bistables" en diviseur par deux, plus ou moins synchronisés, risque davantage couru dans les essais en compteurs.

Nous supposons que nous observons toujours aux mêmes sorties des bistables de l'uniadditionneur, lequel n'a à connaître (de son point de vue) que des ordres : LM transformé, + 1 ou a, RZA. Le fonctionnement correct, de sa lecture et de la remise à zéro de la mémoire sont indispensables pour une observation correcte, mais n'interviennent pas explicitement.

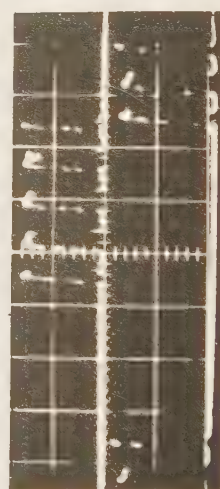
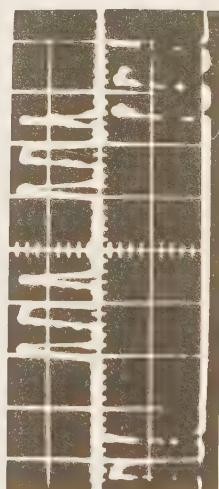
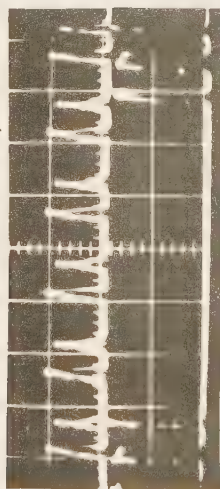
Il est également possible, et notamment pour le dépannage et la mise au point, d'établir la séquence type pour tout point de la mémoire et de l'uniadditionneur, mais nous ne signalons que les séquences dont l'observa-

Essais en comptage différé : Séquences idéalisées

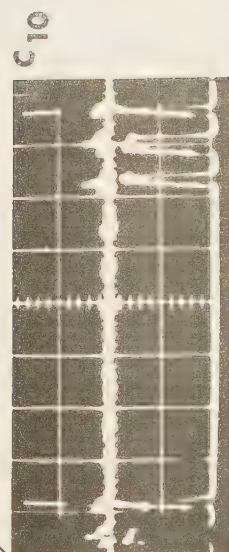


77

Ch:8 fig-4
5 V/cm 400 ns/cm



8



100 ns/cm



tion est nécessaire et suffisante pour garantir un fonctionnement correct.

La séquence s'explique comme suit : la lecture de l'addition s'opérant correctement dans la carte mémoire après l'addition et avant la remise à zéro de l'uniadditionneur, le chiffre décimal existant entre les ordres a et RZA d'une période est réintroduit par l'ordre LM directement suivant, et modifié ou non suivant la séquence de comptage par le nouvel ordre d'addition.

De RZA à LM le contenu est toujours nul. (figure 2)

En désignant par nul, moy, pt, large ce qu'on peut observer, les séquences sont : bascules a : moy - pt - moy - pt - etc...

"	b :	moy - large - pt - nul - moy large - pt. 3 nuls
"	c :	moy - 2 large - pt - 5 nuls
"	d :	moy - large - pt - 7 nuls

Finalement, ces oscillogrammes ont été observés (planche : figure 3) et l'on a pu constater leur parfaite synchronisation. Cependant les formes d'onde ont des temps de montée qui ne figurent pas sur l'oscillogramme de séquence, les formes les plus étroites devenant en réalité triangulaires et n'atteignant pas toujours la tension théorique.

La mise au point des retards a été faite de façon plus fine ; les capacités placées en parallèle sur les résistances retardaient en les abîmant les transitoires des bistables ; pour rendre la lecture plus facile, nous avons ici mis de petites selfs d'environ 100 nH en série entre les transistors collecteurs-commun de sortie et les bases des transistors collecteur commun des portes pour lesquels c'est nécessaire, conformément au raisonnement topologique fait plus haut, c'est à dire lorsque l'information part d'un poids plutôt élevé. Ainsi avons nous rendu plus nettement selfique : la liaison entre la sortie 2 et $C_4 = a.1.2$; la liaison entre la sortie $\overline{8}$ et $C_2 = a.1.\overline{8}$. Cette dernière liaison nous permet d'améliorer le contraste existant entre l'impulsion C_{10} et une impulsion parasite émise lors du passage de l'état 0 à l'état 1 de la bascule 8 ; cette impulsion parasite est en effet normale

si la bascule 8 bascule en un temps du même ordre que la durée de l'impulsion + 1 ; ce qui est le cas. La porte rapide qui transforme l'ordre (+1) en ordre (+10) introduit un retard max de 6 ns et un décalage de 200 mV en statique, 400 mV en dynamique, soit un affaiblissement de 200 mV pour une impulsion de 4 V ou 5 % ; affaiblissement qui, sur 4 passages de portes ne restera pas trop critique puisqu'une procédure de réglage est prévue.

Les ordres successifs sont les suivants (répétés toutes les 300 ns) au temps 0, ordre général LM, amplitude de 4 V ; 40 ns de largeur à la base ; au temps 60 ns, ordre d'addition + 1, amplitude 4 V, 60 ns de largeur à la base ; au temps 60 ns, ordre RZM (remise à zéro de la mémoire) amplitude 4 V, 60 ns à la base ; au temps 130 ns, ordre LA (lecture de l'addition), amplitude 4,5 V, 50 ns à la base ; au temps 150 ns, ordre RZA (remise à zéro de l'addition), 4,5 V, 55 ns à la base.

Pour la bascule de poids 1, l'inscription (s'il y a lieu) commence au temps 20 ns, sur la sortie 1 ; la rampe correspondante de 1 V/10 ns est arrêtée au temps 78 ns et suivie d'une rampe dans l'autre sens : l'addition est terminée au temps 110 ns dans ce cas.

Si la mémoire contenait 0 et donc le registre après inscription, l'ordre + 1 fait démarrer une rampe positive au temps 100 ns, dont l'évolution se termine au temps 170 ns par la remise à zéro, totale au temps $t = 200$ ns. En remarquant, dans ce dernier cas, que la mémoire (13) se contente d'une tension positive (seulement) pour la commande de ses portes, l'excursion totale n'est pas nécessaire et au temps $t = 140$ ns, l'addition est terminée.

Pour la bascule de poids 2 (commande synchrone), l'inscription s'il y a lieu commence au temps $t = 24$ ns. La valeur maximale est atteinte au bout de 90 ns. S'il doit y avoir addition, le contenu du registre étant 1, celle-ci est terminée pour $t = 120$ ns. Si le contenu du registre est 0 après le temps d'inscription, la rampe positive due à un ordre d'addition, commence au temps $t = 90$ ns. L'addition est suffisamment terminée au temps

120 ns et complètement au temps 140 ns. La remise à zéro est démarrée au temps 172 ns au plus tard et achevée au temps 210 ns.

La bascule de poids 4 a des performances assez identiques, à la précision des mesures près ; elle est cependant un peu plus rapide et son cycle total n'excède pas 200 ns.

La bascule de poids 8 est aussi très rapide : au bout de 70 ns l'inscription est terminée, et l'addition peut être considérée comme terminée dès que le temps $t = 110$ ns. La remise à zéro est terminée au temps $t = 190$ ns.

En résumé en se plaçant dans les pires conditions, 140 ns après le début du cycle ou 100 ns après la fin de la lecture de la mémoire ou 80 ns après le début de l'ordre, l'addition elle, est totalement terminée sur une décade. Pour l'addition jusqu'à concurrence de 99 999, le total de $100 + 5 \times 6 = 130$ ns ne peut être excédé.

On remarquera, en outre, que le relevé des temps a été fait à l'aide d'un oscilloscope Tektronix 581, sonde P 80 (temps de montée : 3,5 ns) tandis que deux autres oscilloscopes à deux voies (581 et tiroir P 82, 661 Tektronix) assuraient la conformité des 4 oscillogrammes de séquence (1 par bascule).

Le fonctionnement est stable sur quelques heures, excédant largement la stabilité des déclenchements. Cependant les plages de réglages restent relativement étroites (tension d'alimentation : 15 V - 14,7 V par exemple). Une cause d'instabilité probable réside dans la possibilité de dérive thermique du transistor de puissance servant à séparer la tension régulée de 15 V en deux tensions de service.

Les bascules résolvent ici des impulsions distantes de 60 ns, soit une fréquence d'attaque de 16,6 MHz. Cependant, l'examen des oscillogrammes et des essais distincts montrent que bascules de ce type, sélectionnées ont des performances meilleures, pouvant dans quelques cas dépasser 19 MHz. On peut d'ailleurs estimer que l'on se trouve alors en bout de performances, vu les transistors employés, et même en tenant comp-

te de la suppression du temps de retard dû à la sortie du régime de saturation.

Le problème le plus important auquel se soit heurtée la mise au point est celui du contraste entre les signaux logiques représentant le "1" et les plus grands de ceux qui sont théoriquement inexistantes.

Ce problème se résoud à partir de deux moyens principaux : réglage des retards entre bascules et portes, et ajustement des polarisations.

Pour la première décade essayée, nous avons installé des selfs comme indiqué dans les bases des portes. La polarisation commune (+ 3,5 V) aux trois premières bascules s'est révélée de peu d'utilité, chaque polarisation devant être ajustée, servitude de systèmes non saturés (4).

La première bascule, lente et peu sensible, a eu son circuit des émetteurs communs fortement modifié ; capacité de 60 pF pour augmenter le gain transitoire, résistance de 4700 Ω reliant les émetteurs sur - 5 V, pour rendre les circuits d'attaque plus sensibles.

La seconde bascule, a été rendue moins sensible par l'adjonction d'une résistance de 10 k Ω entre le point de montage et de - 5 V, ce qui permet de mieux distinguer les impulsions fortes.

La troisième bascule a dû être également insensibilisée par une résistance de 4700 Ω placée pareillement. De plus, une petite self a été placée entre la sortie de la porte C_4 et l'entrée division de fréquence, qui a permis par une légère intégration, de diminuer l'influence (supprimée par l'ajustage de polarisation), d'oscillations parasites liées à de mauvais "zéros" (de 16 ns de pseudo période).

De même la prépolarisation directe des diodes d'attaque de la bascule des 8 a dû être contrebalancée dans 3 cas à l'aide de résistances de 100 k Ω ou 68 K Ω .

Ces réglages de polarisation ont dans tous les cas sauf un pour rôle de permettre aux diodes associées de jouer non seulement un rôle de

routage mais aussi un rôle de discrimination entre les impulsions correspondant à des "1" logiques d'amplitude 4 V environ et des signaux parasites. Ceux-ci pouvant provenir d'une tendance à l'oscillation des montages collecteur à circuits de base selfiques (21), mais les avantages de cette disposition relativement aux transitoires des bascules obligent à la conserver, et la grande amplitude des signaux d'attaque permet d'éliminer les parasites par discrimination.

Autrement, de nombreux cycles à base de comptage 6 ou 8 par exemple peuvent faire leur apparition, montrant l'aptitude des bistables à déclencher inopinément (24)(23).

CHAPITRE IX

EXTENSIONS POSSIBLES DE L'UNIADDITIONNEUR

- A) Unisoustracteur, par adjonction de portes
- B) Autres emplois de l'uniadditionneur, par modification de son environnement
- C) Autres emplois de l'uniadditionneur, par l'adjonction d'un circuit OU
- D) Aménagement que l'on pourrait envisager

A) Unisoustraction. Dans certaines expériences on désire par exemple soustraire au spectre finalement obtenu un spectre résultant de bruits de fond, ou un spectre ne différant du premier que par l'absence, par exemple, d'une ou deux raies afin de pouvoir faire ressortir davantage celles-ci.

Il est alors nécessaire de disposer d'un registre arithmétique également capable de soustraire 1. Le registre comporte essentiellement un uniadditionneur, tel que celui décrit précédemment, chaque groupe de portes élaborant les ordres d'addition étant doublé de portes élaborant les ordres de soustraction lesquels sont toujours, physiquement, des ordres de basculement.

La séquence est représentée (figure 1) et la simplification suivant la technique précédemment décrite du diagramme de Veitch fournit, à partir des expressions complexes :

$$C_1 = s \quad C_2 = s (\bar{1}.2.\bar{4}.\bar{8} + \bar{1}.\bar{2}.\bar{4}.\bar{8} + \bar{1}.2.4.\bar{8} + \bar{1}.\bar{2}.\bar{4}.8)$$

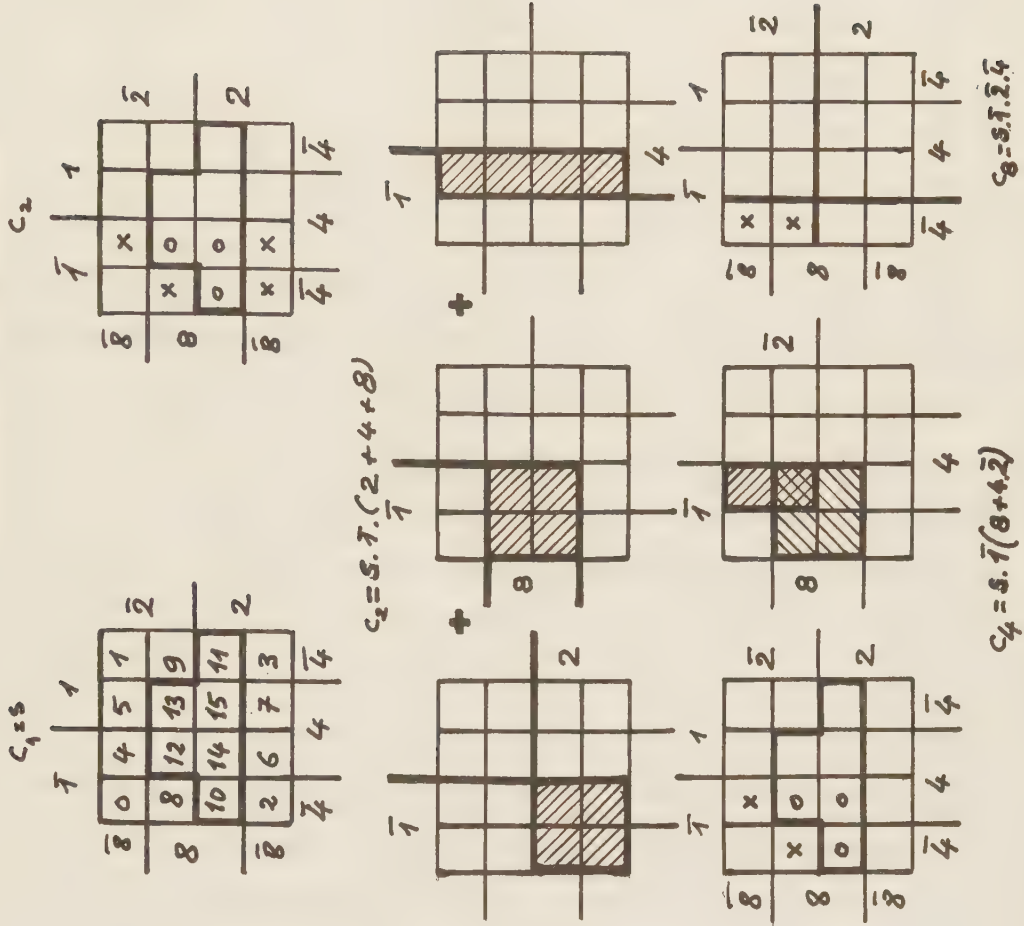
$$C_4 = s (\bar{1}.\bar{2}.4.\bar{8} + \bar{1}.\bar{2}.\bar{4}.8) \quad C_8 = s (\bar{1}.\bar{2}.\bar{4}.\bar{8} + \bar{1}.\bar{2}.\bar{4}.8)$$

Chapitre 9 fig1

Séquence décimale soustractive: code 8421

	a	b	c	d	
0	0	0	0	0	0
1	1	0	0	1	1
2	0	1	0	0	2
3	1	1	0	1	3
4	0	1	1	0	4
5	1	0	1	1	5
6	0	0	1	1	6
7	1	1	1	0	7
8	0	1	0	0	8
9	1	0	0	0	9

commandes des bascules



$$(-10)_{10} = S. \bar{1}. \bar{2}. \bar{4}. \bar{8}$$

$$C_{10} = s (\overline{1}.\overline{2}.\overline{4}.\overline{8})$$

les expressions $C_1 = s$ $C_2 = s (\overline{1}.2. + \overline{1}.4. + \overline{1}.8) = s. \overline{1} (2 + 4 + 8)$

$$C_4 = s (\overline{1}.8 + \overline{1}.\overline{2}.4)$$

$$C_8 = \overline{2}.\overline{4}.\overline{1}. s (-10) = C_{10} = s (\overline{1}.\overline{2}.\overline{4}.\overline{8})$$

Diverses réalisations de ces fonctions sont possibles, notamment suivant que l'on attaque les bascules en diviseur de fréquence ou latéralement.

La bascule 8 pourrait être ici attaquée en diviseur de fréquence, l'expression C_8 étant simple relativement à ses composants. Ou bien on peut se servir de la retenue comme pour l'uniadditionneur.

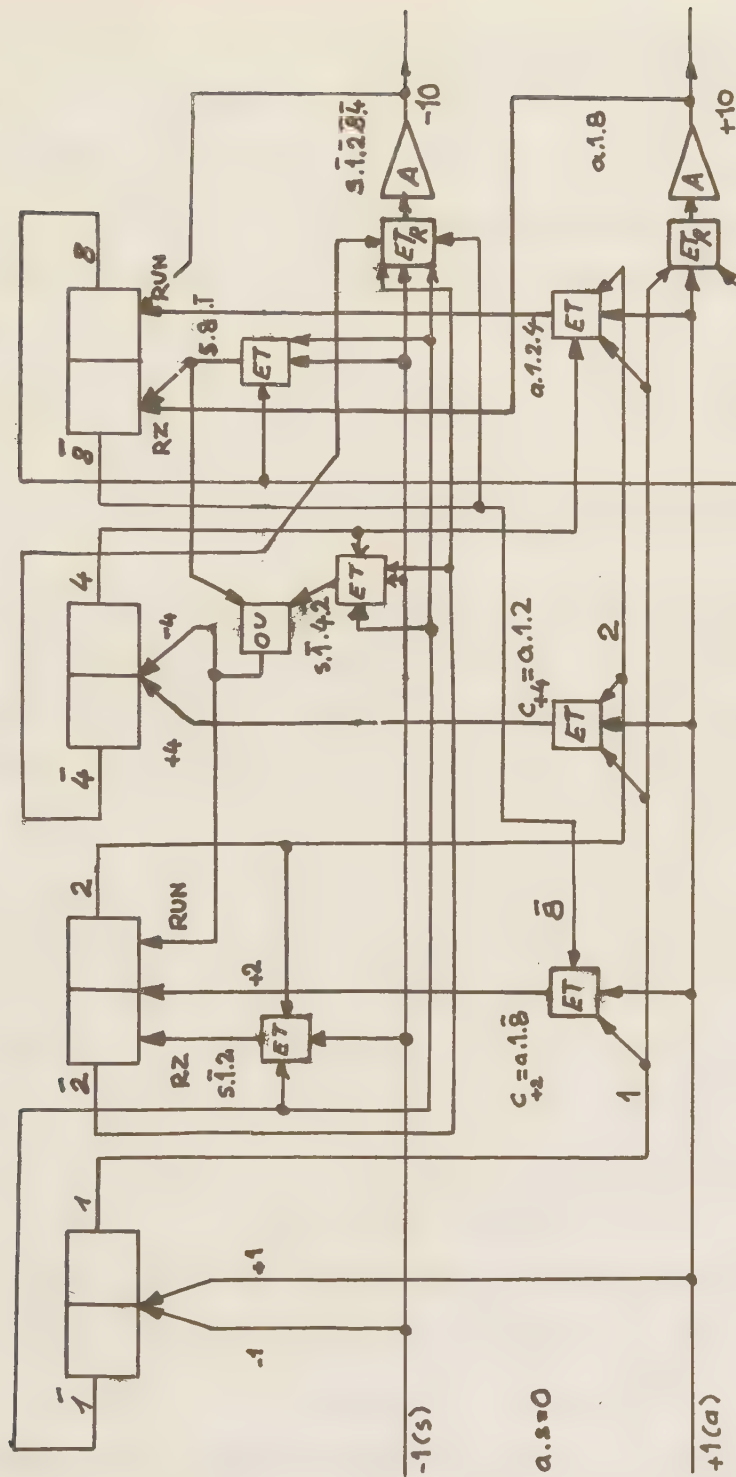
La bascule 4, qui ne prête pas à de grandes simplifications, pourrait être attaquée en diviseur si l'on élabore C_4 , mais il faut alors un circuit OU ou latéralement, en élaborant séparément $s.\overline{1}.8$, ordre de remise à un et $s.\overline{1}.\overline{2}.4$, ordre de remise à zéro. Cependant, si C_4 a été élaboré, on peut alors remarquer que C_2 se décompose en $s.\overline{1}.2$ ordre de remise à zéro de la bascule b, Avec un tel schéma logique, on regagne sur l'élaboration de C_2 deux circuits OU dont un seulement était exigé par l'élaboration de C_4 .

Cependant, transformer l'uniadditionneur en registre également soustracteur entraîne deux conséquences :

a) de nouveaux circuits logiques, plus compliqués que ceux de l'addition, doivent être construits, et le nombre d'éléments actifs par cartes s'accroît notablement.

b) les bascules bistables qui sont les mêmes, par décade, pour chaque fonction, ont des circuits d'attaque plus nombreux, qui peuvent modifier le fonctionnement des transistors, le fonctionnement nécessite d'ajuster un plus grand nombre de paramètres (polarisation, etc...) et, par là, devient plus aléatoire. (figure 2)

Chapitre 9 fig2.



Exemple d'organisation d'une décade code 0421
 pour un uniadditeur-soustracteur utilisant la méthode hybride
 à portes rapides.
 (l'utilisation des attaques latérales simplifie le schéma)

B) Modification de programme

Nous rappelons que le programme normal concernant le seul uni-additionneur est composé des ordres successifs suivants :

- Inscription dans l'uniadditionneur (lecture de la mémoire)
- Addition de 1
- Lecture de l'uniadditionneur (faite à l'extérieur)
- Remise à zéro

B 1) Lecture d'un spectre

Un dispositif réalise un balayage lent de la mémoire canal par canal. L'ordre "addition de 1" a été supprimé. Par contre, les barres qui alimentent les transistors latéraux de bistable fournissent des tensions qui :

a) ou permettent l'inscription du nombre dans une autre mémoire, par exemple tambour ou ruban magnétique ; le nombre doit être alors, si possible associé au numéro d'ordre de son canal.

b) ou permettent l'élaboration d'une tension représentative à un coefficient près du nombre (décodage analogique). Si cette tension commande l'ordonnée d'un spot dont l'abscisse est, par un procédé homologue, proportionnelle au numéro d'ordre du canal, on forme ainsi un point de l'oscillogramme représentatif du spectre.

c) ou enfin commandent les caractères d'une imprimante, chaque groupe de 4 bascules (décade) servant au positionnement d'une roue portant les signes 0 à 9. Là aussi il peut être intéressant d'associer le numéro du canal à son contenu.

B 2) Application au multiéchantillonnage lent à pompage simple

On désire retrouver les caractères permanents d'un signal qui se produit à peu près identiquement à lui-même. Cet "à peu près" signifiant que l'on peut distinguer un signal permanent, identique à lui-même, auquel se superposent les "bruits" divers (27). On adopte des méthodes de som-

mation successives pour réaliser une réponse statistique moyenne.

A chaque cycle, le signal est différent. On commence l'échantillonnage en phase avec l'excitation. Le cycle dure T secondes, on y associe en permanence N canaux ; le nombre d'échantillons par canal est arbitraire ; un seul suffirait mais pour améliorer la précision, on prend 4 à 6 échantillons par canal (soit n ce nombre).

On procède à nN échantillonnage par cycle et chaque canal de la mémoire voit son contenu s'accroître à chaque cycle de la somme des n nombres correspondant à l'amplitude des n échantillons pris durant le temps alloué au canal.

Supposons que les échantillons soient traités dans un convertisseur analogique numérique à simple pompage ; à tout échantillon est associé un train d'impulsions dont la longueur est proportionnelle à la hauteur de l'impulsion ; d'autre part ce convertisseur peut émettre une impulsion en fin de conversion.

Si donc on a prévu l'organisation suivante :

l'uniadditionneur, remis préalablement à zéro :

- a) reçoit le contenu de la mémoire à tores
- b) reçoit sur l'entrée dite "+ 1" le train d'impulsions émis par le convertisseur
- c) est lu et remis à zéro suivant un sous programme commandé par l'impulsion de fin de conversion,

alors l'opération désirée est réalisée ; l'uniadditionneur allie ses facilités d'entrée et de sortie à sa parenté avec un compteur.

On peut prévoir - ou non - un transfert aller-retour uniadditionneur-mémoire entre deux échantillons pour un même canal. Un aller-retour prend un peu de temps, mais simplifie le programme.

Supposons un convertisseur à 100 canaux ; un échantillonnage pourrait être fait toutes les 10 s et à raison d'un canal tous les 5 échantillons, il faudrait 50 ms pour chaque cycle, démarrant par déclenchement toujours pour la même partie du signal.

B 3) Autre utilisation de ce montage

Le balayage canal par canal dans un analyseur ou multiéchantillonneur dont les adresses sont en décimal codé binaire peut être réalisé à l'aide de cartes du type uniadditionneur. Par exemple, deux cartes conviennent parfaitement au balayage canal par canal d'un analyseur à 100 canaux : elles contiennent alors les adresses des canaux et non le contenu de ceux-ci. Elles sont évidemment à prévoir en sus de l'uniadditionneur principal. Le programme se réduit alors à l'envoi d'une impulsion (+ 1) sur l'entrée de la décade unité chaque fois que le cycle désiré sur le canal dont l'adresse est contenue dans l'ensemble des deux cartes, est terminé.

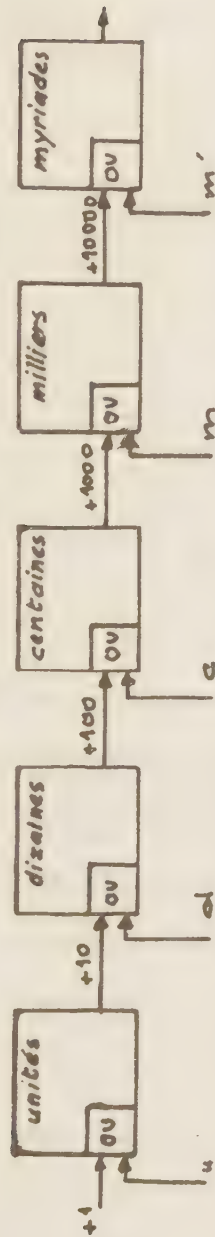
C) Adjonction d'un circuit OU et programmes modifiés (figure 3)

Les possibilités de l'uniadditionneur sont considérablement augmentées si la barre transmettant l'ordre d'addition + 1 à l'intérieur d'une décade est la sortie d'un circuit OU à plusieurs entrées situé en tête de la décade. Cette disposition permettrait d'ajouter 1 aux décades supérieures par introduction de l'ordre à ce niveau, sans être obligé de faire compter par les décades inférieures le nombre d'impulsions correspondant (10, 100, 1000 etc...). Cette modification générale autorise des applications nouvelles.

C 1) Soustraction de 1

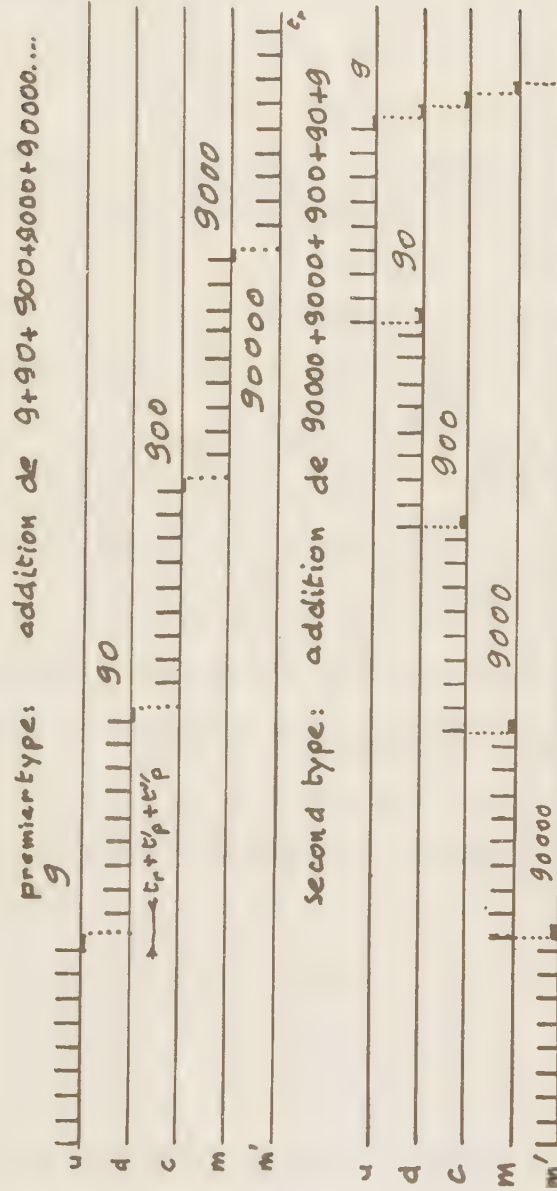
Soit N le contenu d'un canal. On a $N - 1 = N + 99\,999$ modules 100.000. Il n'était pas possible, auparavant, de soustraire 1 par addition de 99 999 impulsions, car cela eut pris environ 10 ms, 99 999 impulsions exactement devant être envoyées sur la barre 1.

Avec la modification proposée, nous pouvons envoyer :



t_r : temps
de résolution
d'une
bascule

4
t_p + t_p:
retard introduit
Par une porte
OU et une porte
ET rapide



$$[\log(N_0 + 1) - 1] (t_p + t_p') = \frac{\text{gain} \text{ in } d = \text{ temps}}{4(t_p' + t_p'')}$$

9 impulsions sur l'entrée de la décade unités ; puis	soit	9
9 impulsions sur l'entrée du circuit "OU" de la décade dizaine, puis		90
9	"centaine"	900
9	"millier"	9000
9	"myriade"	90000
45 impulsions		99999 états

Nous devons tenir compte de la transmission de retenues éventuelles et nous avons le choix entre : émettre successivement (sans lecture de l'uniadditionneur) 9 impulsions envoyées sur la décade unité, puis 9 impulsions sur la décade dizaine, etc ..., les deux trains d'impulsions étant séparés par une durée égale à $t'_p + t_r + t''_p$ où t'_p est le temps de passage d'une porte ET rapide et t''_p celui d'un circuit OU et t_r (temps de résolution) l'écart entre deux impulsions d'un même train.

La durée de l'opération est alors : $5 \times 8 t_r + 4 (t_r + t'_p + t''_p) + t_1 = 44 t_r + 4 t'_p + t_1 + 4 t''_p$ ou bien nous pouvons envoyer 9 impulsions à l'entrée libre du OU des myriades. Nous pouvons envoyer ensuite 9 impulsions sur le "OU" des milliers mais une impulsion de retenue étant transmise toujours avec $t'_p + t''_p$ secondes de retard, nous pouvons séparer les 2 trains d'impulsions par un temps $t_r - t'_p - t''_p$ seulement. Alors le temps total de soustraction est :

$$5 \times 8 t_r + 4 (t_r - t'_p - t''_p) +$$

temps de transmission d'une retenue des unités

$$\underbrace{4 t'_p + 4 t''_p + t_1}_{\text{temps de transmission d'une retenue des unités}} = 44 t_r + t_1$$

Si donc l'intérêt que présentent la soustraction de 1 au point de vue de l'organisation générale de l'appareil et la simplification de circuits

réalisés est suffisamment grands, on peut tolérer une soustraction procédant de cette façon, qui exige environ 45 fois plus de temps qu'une addition.

C 2) Application au multiéchantillonnage à pompage multiple

Le problème est le même qu'en B 2 ; cependant, on suppose que le convertisseur analogique-numérique utilise des pompages multiples, le rapport entre les échelons types étant de 10 (28). Sous réserve que la cadence de pompage soit compatible avec la fréquence maximum d'entrée des bistables de l'uniadditionneur modifié, l'intégration numérique se fait facilement à l'intérieur d'un canal.

Pour un moment donné de la période, le contenu de la mémoire est N ; on le transfère dans l'uniadditionneur. La hauteur h correspondante, à ajouter, de la nouvelle période, est décomposée par le convertisseur en une somme de D dizaines et U unités.

A chaque dizaine, le convertisseur utilise une impulsion : la même est envoyée à l'entrée libre du circuit OU d'entrée de la décade dizaines. Puis, la hauteur h réduite de D échelons, est annulée par soustraction de U échelons dix fois plus pratique que les précédents : U impulsions sont envoyées à l'entrée de la décade unités.

Ainsi, la fin de l'addition à faire se confond pratiquement avec la fin de la conversion.

C 3) Application aux spectres d'amplitude ; codage d'une adresse sortie d'un convertisseur à pompage multiple.

La nécessité d'arrêter à temps un pompage par dizaines d'échelons élémentaires impose l'introduction d'un dispositif à seuil ; le fonctionnement de celui-ci peut mener, dans certains cas, à deux fonctionnements pour une même cause ; ainsi, une amplitude à analyser correspondant à 37 peut être soit lue comme somme de 2 dizaines et 17 unités soit comme somme de 3 dizaines et 7 unités. L'inscription du nombre 37 sous une seule forme est nécessaire, pour, notamment, la sélection correcte d'une mémoire.

Différentes solutions logiques sont possibles. Cependant, nous pouvons, suivant les remarques IX C2, en considérant les deux décades unités et dizaines non plus comme les ordres inférieurs du nombre à emmagasiner, mais comme les registres "dizaine" et "unités" d'adresse de ce nombre, utiliser deux cartes de type uniadditionneur modifié comme système de sortie du convertisseur. Sous réserve, toujours, que les cadences de pompage soient compatibles avec la fréquence maximum d'entrée des bistables. Un tel montage ne nécessite que deux décades, celle des dizaines étant alimentée successivement par des impulsions dizaines lors du pompage dizaine, puis une ou deux impulsions de retenue, s'il y a lieu, lorsque la décade unités est ensuite alimentée par des impulsions "unités". Cette solution est peut être plus réalisable que la première proposée (29).

CONCLUSION

Dans ce travail, nous avons construit un uniadditionneur s'intégrant dans un analyseur multicanaux rapide : 100 canaux, 500 nanosecondes. Compte tenu de la durée du cycle de mémoire, il nous avait été alloué un temps maximum propre à l'addition de 150 nanosecondes pour réaliser le programme suivant :

- Mise en état des bascules et des portes suivant le contenu de l'adresse choisie de la mémoire
- Addition de 1, tous reports faits, le nombre pouvant avoir 5 chiffres décimaux et le traitement étant, si possible, fait par chiffres décimaux.

Nous sommes arrivé au résultat, le temps étant finalement de 170 nanosecondes comptés depuis le début de l'ordre bref de lecture, suffisant pour notre mémoire à transistors, ou de 130 nanosecondes à partir de la fin de cet ordre, qui a pour rôle de simuler l'impulsion issue des amplificateurs de lecture de la mémoire.

Pour arriver à ce résultat nous avons passé en revue une série de solutions en examinant le retard introduit par chacune d'elles et la complexité des circuits.

Ceci nous a amené à en choisir une qui réalisait un bon compromis entre rapidité et simplicité.

Puis nous avons élaboré un circuit bistable de base, de telle sorte que le traitement se passe dans le temps prescrit avec les composants les moins chers.

Pour faire les essais, un programmeur et un registre servant de mémoire ont dû être également réalisés. Cet ensemble nous a permis l'observation de séquences correctes et la mesure du temps nécessaire à la réalisation du programme.

BIBLIOGRAPHIE

- 1 R.J. SPINRAD
Computers, or Multichannel Analyzers-Nucleonics (Dec 1963)
- 2 A.I. PRESSMAN
Design of Transistorized circuits for digital computers (1959)
- 3 H. SOUBIES CAMY
Les techniques binaires et le traitement de l'information (1961)
- 4 J.A. HILTEBEITEL
Philco Application Lab. Report n° 708 : a 100 mc decade counter
(Nov. 1961)
- 5 GRABBE, RAMO, WOOLDRIGE
Handbook of Automation Computation, control - Vol 2 - ch 17 (1959)
- 6 R.B. HURLEY
Transistor Logic circuits
- 7 R.A. KAENEL
One tunnel Diode Flip-Flop - Proceedings of The IRE
Vol 49, n° 2, p.622 (1961)
- 8 Ur. HANOCH
Tunnel Diode Binary Counter Circuit - Proceedings of the IRE
Vol 49 - n° 6 - p. 1092 (1961)
- 9 T.W. FLOWERDAY et D.D. Mc KIBBIN
Tunnel Diode One shot Triggered oscillator Proceedings of The IRE
Vol 49, n° 8, p. 1315 (1961)
- 10 B. RABINOVICI, C.A. RENTON
Full Binary Adder one Tunnel Diode Proceedings of the IRE
Vol 49, n° 7, p.1212 - (1961)
- 11 B. RABINOVICI
Tunnel Diode decade counter - The Review of Scientific Instruments
Vol 33, n° 12, p. 1391, (Dec 1962)
- 12 V. RADEKA
A tunnel diode and Common Base Transistor complementary Bistable
Nuclear Instruments and Methods - Vol 22, p.153, (1962)

- 13 Y. MARTINEZ
Mémoire rapide pour analyseurs multicanaux (communication privée)
- 14 A.K. RAPP, J.L. ROBINSON
Rapid Transfer Principles for Transistors Switching Circuits - IRE
Transaction on Circuit Theory - Vol CT 8, p. 484 (1961)
- 15 R. M. SUGARMAN
Nonsaturating Transistor Circuitry for Nanosecond pulses - IRE Tran-
sactions on Nuclear Science - Vol NS 7 p. 23 (1960)
- 16 SCHWARTZ
Selected Semiconductor Circuits Handbook
- 17 SHEA
Transistor Circuit Engineering
- 18 J.H. SIMPSON and R.S. RICHARD
Physical Principles and Applications of Junction Transistors
- 19 MILLMAUN and TAUB
Pulse and digital circuits
- 20 CAROLL
Modern Transistor Circuits
A.K. RAPP and S.Y. WONG - High Speed Flip Flops , p. 54
- 21 JOYCE and CLARKE
Transistor Circuits Analysis
- 22 P.A. NEETESON
Le transistor à jonction dans les montages à impulsions (1961)
- 23 K.A. PULLEN
Handbook of Transistor Circuit Design
- 24 L.P. HUNTER
Handbook of Semiconductor Electronics (2ème édition)
- 25 Lo, ENDRES, ZAWELS, WALDHAUER, CHENG
Transistor Electronics (1955)
- 26 K.W. CATTERMOLE
Transistor Circuits
- 27 F. SICARD
Etude du bruit dans les circuits électroniques - "Application à l'électro-
physiologie" - CPPN (1964)
- 28 R. BORCHI
Analyse d'un convertisseur analogique digital 100 canaux - 500 ns
Thèse - Lyon (Dec.1963)

TABLE DES MATIERES

	Pages
<u>CHAPITRE I</u>	
Analyseurs multicanaux : rôle de l'uniadditionneur	1
<u>CHAPITRE II</u>	
Compteurs binaires et montages dérivés.....	7
- Système série	
- Système parallèle : Introduction d'amplificateur	
- Système hybride	
<u>CHAPITRE III</u>	
Compteurs décimaux et uniadditionneurs dérivés	18
- Base de numération	
- Système série : rétroaction, connexion parallèle	
- Logique d'une décade parallèle de rang unité	
- Système parallèle	
- Système hybride	
<u>CHAPITRE IV</u>	
Le problème posé : principales options	37
<u>CHAPITRE V</u>	
Réalisation pratique : diagramme fonctionnel - essais possibles	40

CHAPITRE VI

Mémoire et uniadditionneur	45
- les bascules bistables	
- les portes	

CHAPITRE VII

Le programmeur	65
- horloge	
- ligne à retard	
- ordres émis	

CHAPITRE VIII

Essais	70
- en compteur	
- séquentiellement	

CHAPITRE IX

Extensions possibles de l'uniadditionneur	84
---	----

CONCLUSION	95
------------------	----

BIBLIOGRAPHIE

Vu :

Les Membres du Jury

R. BERNARD

A. SARAZIN

R. ARNAL

Vu et Approuvé :

Le Doyen de la Faculté des Sciences

J. BRACONNIER

Vu et accordé le permis d'imprimer

Lyon, le 26 Juin 1964

Le Recteur

Président du Conseil de l'Université

P. LOUIS

